



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1996年 9月 4日

出願番号  
Application Number:

平成 8年特許願第234480号

出願人  
Applicant (s):

ソニー株式会社

1996年12月20日

特許庁長官  
Commissioner,  
Patent Office

荒井寿光



出証番号 出証特平08-3090778

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000002185

【住所又は居所】

東京都品川区北品川6丁目7番35号

【氏名又は名称】

ソニー株式会社

【代理人】

申請人

【識別番号】

100080883

【住所又は居所】

東京都新宿区西新宿1-8-1 新宿ビル 松隈特

許事務所

【氏名又は名称】

松隈 秀盛

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社

【書類名】 要約書

【要約】

【課題】 フレキシブルで、各種基板と一体化できる結晶性にすぐれたシリコン等の薄膜半導体を安価に製造することができ、これにより太陽電池を安価に製造することができるようにする。

【解決手段】 半導体基体表面を変化させて多孔質度が異なる2層以上の層から構成される多孔質層12を形成し、多孔質層12の表面に太陽電池などの半導体膜13を成膜し、この半導体膜13を多孔質層12を介して半導体基体から剥離する。

【選択図】 図3

【書類名】 特許願

【整理番号】 S96037715

【提出日】 平成 8年 9月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00  
H01L 31/04  
H01L 33/00

【発明の名称】 薄膜半導体、太陽電池および発光素子の製造方法

【請求項の数】 31

【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 田舎中 博士

【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社  
【代表者】 出井 伸之

【代理人】  
【識別番号】 100080883  
【弁理士】  
【氏名又は名称】 松隈 秀盛  
【電話番号】 03-3343-5821

【先の出願に基づく優先権主張】  
【出願番号】 平成 8年特許願第 61552号  
【出願日】 平成 8年 3月18日

【手数料の表示】  
【予納台帳番号】 012645  
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006428

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体、太陽電池および発光素子の製造方法

【特許請求の範囲】

【請求項1】 半導体基体表面を変化させて多孔率が異なる2層以上の層から構成される多孔質層を形成する工程と、

該多孔質層の表面に半導体膜を成長させる工程と、

該半導体膜を上記多孔質層を介して半導体基体から剥離する工程とを有することを特徴とする薄膜半導体の製造方法。

【請求項2】 半導体基体表面を変化させて第1の多孔質層を形成する工程と、

該第1の多孔質層内または該第1の多孔質層と半導体基体との界面に、上記第1の多孔質層より多孔率の高い第2の多孔質層を形成する工程と、

上記第1の多孔質層の表面に半導体膜を成膜する工程と、

該半導体膜を上記第2の多孔質層を介して上記半導体基体から剥離する工程とを有する

ことを特徴とする薄膜半導体の形成方法。

【請求項3】 上記半導体膜がエピタキシャル成長膜であることを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項4】 上記半導体膜がエピタキシャル成長膜である

ことを特徴とする請求項2に記載の薄膜半導体の形成方法。

【請求項5】 上記多孔質層の形成工程において、

表面に多孔率が低い層を形成し、

半導体基体に近い内部側に多孔率が高い層を形成する

ことを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項6】 上記多孔質層の形成工程において、

多孔率が低い表面層と、該表面層と半導体基体との間に多孔率が上記表面層より高い中間多孔率層と、該中間多孔率層内もしくは該中間多孔率層と半導体基体との界面に、上記中間多孔率層より高い多孔率を有する高多孔率層とを形成することを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項7】 上記多孔質層の形成工程が、

上記半導体基体表面を陽極化成することによって上記多孔質層を形成する陽極化成工程である

ことを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項8】 上記多孔質層の形成工程が、

上記半導体基体表面を低電流密度で陽極化成する工程と、

その後、高電流密度で陽極化成する工程とによる

ことを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項9】 上記多孔質層の形成工程が、

上記半導体基体表面を低電流密度で陽極化成する工程と、

該低電流密度よりも高い中間低電流密度で陽極化成する工程と、

高電流密度で陽極化成する工程とによる

ことを特徴とする請求項1に記載の薄膜半導体の製造方法。

【請求項10】 上記多孔質層の形成工程における上記高電流密度での陽極化成工程において、

電流を間欠的に流す

ことを特徴とする請求項8に記載の薄膜半導体の製造方法。

【請求項11】 上記多孔質層の形成工程における上記中間低電流密度での陽極化成工程において、

電流密度を漸次増大させる

ことを特徴とする請求項9に記載の薄膜半導体の製造方法。

【請求項12】 上記多孔質層の形成工程における陽極化成を、

フッ化水素とエタノール、またはフッ化水素とメタノールを含有する電解溶液中で行う

ことを特徴とする請求項7に記載の薄膜半導体の製造方法。

【請求項13】 上記多孔質層の形成工程における陽極化成工程において、

陽極化成の電流密度を変更し、かつ電解溶液の組成を変更するようにした

ことを特徴とする請求項7に記載の薄膜半導体の製造方法。

【請求項14】 上記多孔質層の形成工程における陽極化成工程において、

陽極化成を暗所で行う



ことを特徴とする請求項 7 に記載の薄膜半導体の製造方法。

【請求項 15】 上記多孔質層の形成工程後に、

水素ガス雰囲気中で加熱する熱処理工程を有する

ことを特徴とする請求項 1 に記載の薄膜半導体の製造方法。

【請求項 16】 上記多孔質層の形成工程と、上記水素ガス雰囲気中での加熱工程の間に、

上記多孔質層を熱酸化する工程を有する

ことを特徴とする請求項 15 に記載の薄膜半導体の製造方法。

【請求項 17】 上記半導体基体が、単結晶シリコン基体である

ことを特徴とする請求項 1 に記載の薄膜半導体の製造方法。

【請求項 18】 上記半導体基体がボロン (B) を高濃度にドーピングしてなる

ことを特徴とする請求項 1 に記載の薄膜半導体の製造方法。

【請求項 19】 上記多孔質層の表面に、成長する半導体膜が、2 層以上の半導体層を成膜した複層半導体膜とした

ことを特徴とする請求項 1 に記載の薄膜半導体の製造方法。

【請求項 20】 上記半導体膜に基体を接合する工程と、

該基体と上記半導体膜とが一体化された状態で、上記半導体膜を上記半導体基体から剥離する工程とを有する

ことを特徴とする請求項 1 に記載の薄膜半導体の製造方法。

【請求項 21】 半導体基体表面を変化させて多孔率が異なる 2 層以上の層から構成される多孔質層を形成する工程と、

該多孔質層の表面に、少なくとも太陽電池の活性部を構成する複層半導体膜の形成工程と、

該複層半導体膜を上記多孔質層を介して半導体基体から剥離する剥離工程とを有する

ことを特徴とする太陽電池の製造方法。

【請求項 22】 上記複層半導体膜が、エピタキシャル半導体膜である

ことを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 23】 上記複層半導体膜が高不純物濃度の p 型半導体層と、これに比

し低い不純物濃度の p 型半導体層と、n 型半導体層から構成されることを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 24】 上記複層半導体膜の表面に絶縁膜を形成する工程と、該絶縁層に形成したコンタクト窓を通じて上記複層半導体膜と接続する電極を形成する工程とを有する

ことを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 25】 上記電極を形成した面に透明プリント基体を接着する工程と、該プリント基体を上記複層半導体膜と共に、一体に上記半導体基体から、上記多孔質層を介して剥離する工程とを有する

ことを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 26】 上記半導体基体表面に形成された複層半導体膜の所定部に電極ないしは配線を形成する工程と、

上記電極ないしは配線に導電線を接合する工程と、

その後、上記電極ないしは配線に導電線が接合された側において、上記導電線の遊端が外部に導出されるようにして上記半導体基体を透明基板上に接合する工程と、

その後上記複層半導体膜の上記半導体基板からの剥離工程を行う

ことを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 27】 それぞれ上記複層半導体膜が形成されその所定部に形成された電極ないしは配線に導電線が接合された複数の半導体基体を、それぞれ、上記電極ないしは配線に導電線が接合された側において、上記導電線の遊端が外部に導出されるように共通の透明基板上に接合し、

その後上記複層半導体膜の上記半導体基体からの剥離工程を行う

ことを特徴とする請求項 21 に記載の太陽電池の製造方法。

【請求項 28】 半導体基体表面を変化させて基体表面側の発光部を構成する多孔質層と、基体内部側の多孔率が高い分離層とを含む 2 層以上の層から構成される多孔質層を形成する工程と、

上記発光部を構成する多孔質層を上記分離層を介して上記半導体基体から剥離する工程とを有する

ことを特徴とする発光素子の製造方法。

【請求項 29】 上記発光部を構成する多孔質層は p n 接合を有し、該 p n 接合は不純物拡散により形成する

ことを特徴とする請求項 28 記載の発光素子の製造方法。

【請求項 30】 上記多孔質層形成後、更に上記多孔質層上に不純物含有半導体膜を成膜する工程を有し、上記発光部を構成する多孔質層と上記不純物含有多孔質層とで p n 接合を形成する

ことを特徴とする請求項 28 記載の発光素子の製造方法。

【請求項 31】 上記多孔質層上に電極を形成する工程と、上記剥離する工程の後に上記多孔質層の裏面に電極を形成する工程を更に含む

ことを特徴とする請求項 28 記載の発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜半導体、太陽電池および発光素子の製造方法に関する。

【0002】

【従来の技術】

太陽電池の材料としては種々の材料が検討されているが、資源量が豊富で公害の心配がないシリコン Si が中心であり、世界の太陽電池の生産量も 90% 以上が Si 太陽電池である。ところで、太陽電池の課題は、低コスト、高い光-電気変換効率、高信頼性、短エネルギー回収年数である。高変換効率、高信頼性の要求に対しては、単結晶 Si が最も適しているが、この単結晶 Si は低コスト化に問題がある。そこで、現在太陽電池、特に高面積の太陽電池においては、薄型多結晶 Si による太陽電池や、薄膜アモルファス Si による太陽電池の研究、開発が活発に行われている。

【0003】

薄型多結晶 Si 太陽電池は、プラズマなどを用いた金属級 Si からの精製技術により Si を高純度化し、キャスト法でインゴットを作製し、マルチワイヤー等の高速スライス技術によってウエハーすなわち薄型多結晶 Si が作製される。と

ところが、このような金属級Siからのボロンやリンの除去処理や、キャスト法による良質な結晶のインゴットの作製とウエハーの大面積化、マルチワイヤー等の高速スライス技術は、極めて高度な技術を要することから、未だ充分安価で良質な薄型多結晶Siを製造することができていない。また、このようにして作製する薄型多結晶Siの厚さは、約200 $\mu$ m程度であってフレキシブル性を有するものではない。

#### 【0004】

一方、アモルファスSiは、CVD（化学的気相成長）法により樹脂基体面に成膜することができるので、フレキシブルな薄膜アモルファスSiとして形成することができるものであり、このため用途の広い太陽電池を形成できるが、変換効率が多結晶Siや、単結晶Siに比し低いものであり、また使用中における変換効率の劣化に問題がある。

#### 【0005】

単結晶Siは、高変換効率、高信頼性が期待できる。薄膜単結晶Siは、集積回路等の製造技術であるSOI（Silicon On Insulator）技術により製作が可能であるが、生産性が低く、製造コストがかなり高くなり、太陽電池への適用に問題がある。また、単結晶Siの作製においては、そのプロセス温度が比較的高いことから、耐熱性の低いプラスチック基体やガラス基体上に形成することが困難である。このようにプラスチック基体への単結晶Siの形成が困難であることから、フレキシブルな薄膜単結晶Siの製造は難しい状況にある。

#### 【0006】

ところが、太陽電池においては、窓ガラス表面に太陽電池が配置された太陽電池付き窓ガラスとか、屋根などに太陽電池を配置したソーラーカー等を構成する場合、フレキシブル太陽電池を用いることが、その製造の簡易化、および受光面積を大とする合理的な配置を容易に行うことができるなどの点から望ましい。とことが、このようなフレキシブル太陽電池を構成できる半導体Siは、現在アモルファスSiがあるに過ぎない。

#### 【0007】

【発明が解決しようとする課題】

本発明は、薄膜半導体、例えば薄膜単結晶Siを、確実に、量産的に製造することができ、これによってコストの低廉化をはかることができる薄膜半導体の製造方法と、光-電気変換効率が高い太陽電池を確実に、容易に低コストをもって製造することができるようにした太陽電池および発光素子の製造方法を提供するものである。

【0008】

また、本発明は、太陽電池の外部への端子導出を、容易、確実に、また低抵抗をもって行うことができるようにした太陽電池の製造方法を提供する。

【0009】

【課題を解決するための手段】

本発明による薄膜半導体の製造方法においては、半導体基体表面を変化させて多孔率が異なる2層以上の層から構成される多孔質層を形成する工程と、この多孔質層の表面に半導体膜を成長させる工程と、この半導体膜を上記多孔質層を介して半導体基体から剥離する工程とを採って薄膜半導体を得る。

【0010】

また、本発明による太陽電池の製造方法においては、半導体基体表面を変化させて多孔率が異なる2層以上の層から構成される多孔質層を形成する工程と、この多孔質層の表面に、太陽電池を構成する複層の半導体膜をエピタキシャル成長させる工程と、この複層エピタキシャル半導体膜を多孔質層を介して半導体基体から剥離する工程とを採って太陽電池を製造する。

【0011】

また、本発明による発光素子の製造方法は、半導体基体表面を変化させて基体表面側の発光部を構成する多孔質層と、基体内部側の多孔率が高い分離層とを含む2層以上の層から構成される多孔質層を形成する工程と、上記発光部を構成する多孔質層を上記分離層を介して半導体基体から剥離する工程とを採って発光素子を作製する。

【0012】

上述したように、本発明製造方法によれば、半導体基体表面自体を変化させて多孔質層を形成し、これの上にエピタキシャル成長によって半導体膜を形成し、

この半導体膜を、多孔質層におけるあるいは多孔質層との界面における破断によって半導体基体から剥離して目的とする薄膜半導体あるいは太陽電池を構成するものである。薄膜半導体を構成するエピタキシャル成長半導体膜は任意の充分薄い厚さに形成できる。またその半導体基体からの剥離は、多孔質層における例えば多孔率の選定によってその強度を適当に選定することによって確実に行うことができる。したがって、本発明方法によれば、薄膜半導体を、充分薄い任意の厚さで、歩留り良く得ることができる。したがって、太陽電池の製造においては、このエピタキシャル膜によって構成する活性部を充分薄く構成できることと、エピタキシャル成長半導体層によるすなわち単結晶化された薄膜半導体によることが相俟って充分光-電気変換効率の高い太陽電池を構成できる。さらにフレキシブル構成とすることが可能となることから、各種使用態様、例えば太陽電池付き窓ガラス、ソーラーカー等への適用が容易となる。

#### 【0013】

また、本発明による発光素子は、多孔率の異なる多孔質層の形成によって超格子構造を形成することができ、発光効率の向上をはかることができる。

#### 【0014】

##### 【発明の実施の形態】

本発明の実施の形態を説明する。

本発明においては、半導体基体表面を例えば陽極化成によって変化させて、互いに多孔率（ポロシティ）が異なる2層以上の層からなる多孔質層を形成する。そして、この多孔質層の表面に半導体膜をエピタキシャル成長する。その後このエピタキシャル半導体膜を多孔質層を介して、半導体基体から剥離して目的とする薄膜半導体を製造する。

#### 【0015】

一方、残された半導体基体は、再び上述した薄膜半導体の製造に繰り返して使用される。また、この繰り返し使用されて薄くなった半導体基体は、これ自体を薄膜半導体として用いることができる。

#### 【0016】

多孔質層の形成工程においては、その表面に面して多孔率が低い層を形成し、

これと半導体基体との界面（本明細書において半導体基体の界面とは多孔質化がされない半導体基体に表面を指称する）側に多孔率が高い層を形成する。

【0017】

また、多孔質層形成工程において、例えば多孔率が低い表面層と、この表面層と半導体基体との間に形成され多孔率が表面層のそれより高い中間多孔率層と、この中間多孔率層内もしくはこの中間多孔率層の下層すなわち半導体基体との界面に形成され中間多孔率層より高い多孔率を有する高多孔率層とを形成することができる。

【0018】

多孔質層の形成は、陽極化成によって行うことができる。

この陽極化成は、少なくとも電流密度を異にする2段階以上とする。すなわち、少なくとも半導体基体表面を低電流密度で陽極化成する工程と、その後、高電流密度で陽極化成する工程とを採る。

【0019】

例えば陽極化成において、半導体基体表面を低電流密度で陽極化成する工程と、更にこの低電流密度よりも少し高い中間低電流密度で陽極化成する工程と、更にこれより高電流密度で陽極化成する工程とを採ることができる。

【0020】

また、陽極化成において、その高電流密度での陽極化成は、高電流密度の通電を間欠的に行うようにすることができる。

【0021】

また、多孔質層を形成する陽極化成における、中間低電流密度での陽極化成において、その電流密度を漸次大きくすることができる。

【0022】

陽極化成は、フッ化水素とエタノールを含有する電解溶液中、あるいはフッ化水素とメタノールを含有する電解溶液中で行うことができる。

【0023】

また、陽極化成工程において、電流密度を変更するに際して、電解溶液の組成も変更することができる。

## 【0024】

多孔質層を形成した後は、水素ガス雰囲気中で加熱することが好ましい。また、多孔質層を形成した後の、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することが好ましい。

## 【0025】

半導体基体の形状は、種々の構成を採ることができる。例えばウェファ状すなわち円板状、あるいは基体表面が曲面を有する単結晶引上げによる円柱体状インゴットによるなど、種々の形状とすることができる。

## 【0026】

半導体基体は、シリコンSiの単結晶基体、或る場合はSi多結晶基体、あるいはGaAs単結晶等の化合物半導体基体など種々の半導体基体によって構成することができるが、Si単結晶薄膜や、Si単結晶薄膜による太陽電池などの製造には、Si単結晶基体を用いることが好ましい。

## 【0027】

また、半導体基体は、n型もしくはp型の不純物がドーブされた半導体基体あるいは、不純物を含まない半導体基体によって構成することができる。しかし、陽極化成を行う場合は、p型の不純物が高濃度にドーブされた低比抵抗の半導体基体いわゆる $p^+$ Si基体を用いることが望ましい。この半導体基体として $p^+$ 型Si基体を用いるときは、p型不純物の例えばボロンBが、約 $10^{19}$ atoms/cm<sup>3</sup>程度にドーブされ、その抵抗が $0.01 \sim 0.02 \Omega \text{cm}$ 程度のSi基板を用いることが望ましい。そして、この $p^+$ 型Si基体を陽極化成すると、基板表面とほぼ垂直方向に細長く伸びた微細孔が形成され、結晶性を維持したまま多孔質するため、望ましい多孔質層が形成される。

## 【0028】

このように結晶性を維持したまま多孔質された多孔質層上に、半導体膜をエピタキシャル成長する。この半導体膜は、単層の半導体膜によって構成することもできるが、太陽電池を構成する場合等においては、2層以上の複層半導体膜とすることができる。

## 【0029】



このように、半導体基体上にエピタキシャル成長した半導体膜半導体基体から剥離するが、この剥離に先立って半導体膜上に、例えば支持基板フレキシブル樹脂シート等による支持基板を接合してこの支持基板と半導体膜とを一体化した後、半導体膜を支持基板と共に、半導体基体から、この半導体基体に形成した多孔質層を介して剥離することができる。

#### 【0030】

この支持基板は、フレキシブルシートに限られるものでなくガラス基板、樹脂基板あるいは例えば所要のプリント配線がなされたフレキシブル、もしくは剛性、いわゆる堅い（リジッド）な透明プリント基板によって構成することもできるものである。

#### 【0031】

半導体基体表面は、多孔率を異にする2層以上からなる多孔質層を形成するものであるが、最表面の多孔質層は、その多孔率が比較的小さく緻密な多孔質層として形成し、この多孔質層上に良好にエピタキシャル半導体膜を成長させることができるようにし、この表面層より内側、すなわち下層側において比較的多孔率の高い多孔質層を基体面に沿って形成することによってこれ自体の高多孔率化による機械的強度の低下、あるいはこの多孔質層と他との格子定数の相違に基く歪みによって脆弱化し、この層においてエピタキシャル半導体膜の剥離、すなわち分離を容易に行うことができる。例えば、超音波印加によって分離させることができる程度に弱い多孔質層を形成することも可能となる。

#### 【0032】

多孔質層の表面より内側に形成する多孔率を大きくした高多孔率層は、その多孔率が大きいほど上述の剥離が容易になるが、この多孔率が余り大きいと、上述したエピタキシャル半導体膜の剥離処理前に、剥離を発生させたり、多孔質層に破損を来すおそれがあることから、この高多孔率層における多孔率は、40%以上70%以下とする。

#### 【0033】

また、多孔質層に高多孔率層を形成する場合、その多孔率が大きくなるにつれ歪みが大きくなり、この歪の影響が多孔質層の表面層にまで大きく及ぶと、表面

層に亀裂を発生させるおそれが生じてくる。また、このように多孔質層の表面にまで歪の影響が生じると、これの上にエピタキシャル成長させる半導体膜に結晶欠陥を発生させる。そこで、多孔質層には、その多孔率が高い層と多孔率の低い表面層との間に、歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率を有する中間多孔率層を形成する。このようにすることにより、高多孔率層の多孔率を、上述のエピタキシャル半導体膜の剥離を確実に行うことができる程度に大きくし、しかも結晶性にすぐれたエピタキシャル半導体膜の形成を可能にする。

## 【0034】

上述した半導体基体表面の多孔質化の陽極化成は、公知の方法、例えば伊藤らによる表面技術 Vol. 46, No. 5, pp. 8~13, 1995〔多孔質 Si の陽極化成〕に示された方法によることができる。すなわち、例えば図 1 にその概略構成図を示す 2 重セル法で行うことができる。この方法は、第 1 および第 2 の槽 1 A および 1 B を有する 2 槽構造の電解溶液槽 1 が用いられる。そして、両槽 1 A および 1 B 間に多孔質層を形成すべき半導体基体 1 1 を配置し、両槽 1 A および 1 B 内に、直流電源 2 が接続された対の白金電極 3 A および 3 B の各一方が配置される。電解溶液槽 1 の第 1 および第 2 の槽 1 A および 1 B 内には、それぞれ例えばフッ化水素  $\text{HF}$  とエタノール  $\text{C}_2\text{H}_5\text{OH}$  とを含有する電解溶液 4、あるいはフッ化水素  $\text{HF}$  とメタノール  $\text{CH}_3\text{OH}$  とを含有する電解溶液 4 が収容され、第 1 および第 2 の槽 1 A および 1 B において電解溶液 4 に半導体基体 1 1 の両面が接触するように配置され、かつ両電極 3 A および 3 B が電解溶液 4 に浸漬配置される。そして、半導体基体 1 1 の多孔質層を形成すべき表面側の槽 1 A 内の電解溶液 4 に浸漬されている電極 3 A 側を負極側として、直流電源 2 が接続されて両電極 3 A および 3 B 間に通電がなされる。このようにすると、半導体基体 1 1 の電極 3 A 側に対向する表面が侵蝕されて多孔質化する。

## 【0035】

この 2 槽セル法によるときは、オーミック電極を半導体基体に被着形成することが不要となり、このオーミック電極から不純物が半導体基体に導入することが

回避される。

# 【0036】

そしてこの陽極化成における条件の選定により、形成される多孔質層の構造が変化するものであり、これによってこれの上に形成する半導体膜の結晶性および剥離性が変化する。

# 【0037】

本発明方法においては、前述したように、多孔率を異にする2層以上の層からなる多孔質層を形成するものであり、この場合、陽極化成処理において、電流密度が異なる2段階以上の多段階陽極化成法を採用する。具体的には、表面に多孔率が低いすなわち口径の小さい微細孔による比較的緻密な低多孔率の多孔質層を作製するため、まず、低電流密度で第1陽極化成を施す。多孔質層の膜厚は時間に比例するので、所望する膜厚になるような時間で陽極化成を行う。その後、かなり高い電流密度で第2陽極化成を行えば、最初に形成された低多孔率の多孔質層の下側に多孔率の大きい高多孔率の多孔層が形成される。すなわち、少なくとも多孔率の低い低多孔率質層と、多孔率の高い高多孔率層を有する多孔質層が形成される。

# 【0038】

そして、この場合、低多孔率の多孔質層と、高多孔率の多孔質層との界面付近には、両者の格子定数の違いにより大きな歪みが生じる。この歪みがある値以上になると、多孔質層は2つに分離する。したがって、この歪みによる分離あるいは、多孔率による機械的強度の低下による分離が生じるか、生じないかという境界条件付近の陽極化成条件で多孔質層を形成すれば、この多孔質層上にエピタキシャル成長された半導体膜は、この多孔質層を介して容易に分離することができる。

# 【0039】

この場合の、低電流密度の第1陽極化成は、例えば0.01~0.02Ωcmのp型シリコン単結晶基体を用い、HF(49%溶液):C<sub>2</sub>H<sub>5</sub>OH(95%溶液)=1:1(体積比)(以下HFと、C<sub>2</sub>H<sub>5</sub>OHの比はそれぞれ49%溶液と95%溶液における体積比を示す。)のとき、0.5~10mA/cm<sup>2</sup>程

度の低電流密度で数分間から数十分間行う。また、高電流密度の第2陽極化成は、例えば $40 \sim 300 \text{ mA/cm}^2$ 程度の電流密度で、 $1 \sim 10$ 秒間、好ましくは3秒間前後の時間で行う。

#### 【0040】

上述した第1および第2の2段階の陽極化成では、多孔質層内部の高多孔質層で発生する歪みがかなり大きくなるため、多孔質層の表面までこの歪みの影響が及び、この場合、前述したように、亀裂の発生や、これの上に形成するエピタキシャル半導体膜に結晶欠陥を発生させるおそれが生じる。そこで、多孔質層において、低多孔率の表面層と高多孔率層との間に、これらによって発生する歪みを緩和するバッファ層として、表面層よりは多孔率が高く、かつ高多孔率層に比しては多孔率が低い中間多孔率層を形成する。具体的には、最初に低電流密度の第1陽極化成を行い、次いで第1陽極化成よりもやや高い電流密度の第2陽極化成を行って、その後それらよりもかなり高い電流密度で第3陽極化成を行う。第1陽極化成の条件は、特に制限されないが、例えば $0.01 \sim 0.02 \Omega \text{ cm}$ のp型シリコン単結晶基体を用い、電解溶液として $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を用いるとき、 $0.5 \sim 3 \text{ mA/cm}^2$ 未満程度、第2陽極化成の電流密度は例えば $3 \sim 20 \text{ mA/cm}^2$ 程度、第3陽極化成の電流密度は、例えば $40 \sim 300 \text{ mA/cm}^2$ 程度で行うことが好ましい。例えば $1 \text{ mA/cm}^2$ の電流密度で陽極化成を行うと、多孔率は約16%程度、 $7 \text{ mA/cm}^2$ の電流密度で陽極化成を行うと、多孔率は約26%、 $200 \text{ mA/cm}^2$ の電流密度で陽極化成を行うと、多孔率は約60~70%程度になる。このような陽極化成を行った多孔質層上にエピタキシャル成長を行うと、結晶性のよいエピタキシャル半導体膜が形成できる。

#### 【0041】

また、上述したように電流密度を3段階とする陽極化成を行う場合、第1陽極化成で形成される多孔率が低い表面層はそのまま低い多孔率を保ち、第2陽極化成で形成される多孔率がやや高い中間多孔率層、すなわちバッファ層は、表面層より内側、すなわち半導体基体との界面側に形成されて、多孔質層は表面層と中間多孔率層との2層構造となる。また、上述の第3陽極化成で形成される多孔

率の高い高多孔率層は、原理は不明であるが、その電流密度を  $90 \text{ mA/cm}^2$  程度以上とすると、第2陽極化成で形成した中間多孔率層内にすなわち中間多孔質層の厚さ方向の中間部に形成される。

【0042】

また中間多孔率層の形成において、この中間多孔率層を形成する陽極酸化を多段階もしくは漸次例えば通電電流密度を変化する条件下で行うことによって、低多孔率表面層と、高多孔率層との間に段階的にもしくは傾斜的にその多孔率を、表面層から高多孔率層側に向かって高めた中間多孔率層を形成する。このようにすれば、表面層と高多孔率層との間の歪みは、より緩和されて、さらに確実に結晶性のよいエピタキシャル半導体膜をエピタキシャル成長することができる。

【0043】

ところで、分離面は、最後に行う高多孔率層の剥離層（分離層）とその直前に行う多孔率の小さいバッファ層との界面で格子定数の違いによる歪みが大きくかかることによって形成されるが、この最後の陽極化成を行うときに工夫をすると、分離面がより分離しやすくなる。それは、最後の高電流密度の陽極化成で、例えば時間を3秒間一定に通電するのではなく、1秒間の通電の後陽極化成を停止し、所要時間経過後、例えば1分程度放置した後、同じまたは異なる高電流密度でまた1分間通電してその後陽極化成を停止し、また所要時間経過後、例えば1分程度放置した後、再度同じまたは異なる高電流密度で1秒間通電して陽極化成を停止するという間欠的に通電する方法である。この方法を使用して適当な陽極化成条件を選ぶと、多孔質層による剥離層が半導体基体との界面に、すなわち多孔質層の最下面に形成される。すなわちこの場合、分離面は上記のような中間多孔質層すなわちバッファ層の内部ではなく、多孔質層の半導体基板との界面側となる。分離後の半導体層に残された多孔質層は、例えば電解研磨によって除去される。

【0044】

このように、バッファ層、すなわち中間多孔率層が、高多孔率層の表面層側にのみ形成されるようにするときには、多孔質層における歪みが生じる高多孔質層と表面とが最大限に離間することによって中間多孔率層によるバッファ効果が

最大限に発揮されることになり、良好な結晶性を有する半導体膜を形成することができる。また、このように中間多孔質層が表面側にのみ形成するときは、多孔質層の全体の厚さを小さくすることができ、この多孔質層を形成するための半導体基体の消費厚さを減らすことができ、この半導体基体の繰り返し使用回数を大とすることができる。

## 【0045】

このように、陽極化成条件の選定により、分離面においては、歪が大きく掛かるようにし、しかもこの歪みの影響が半導体膜のエピタキシャル成長面に与えられないようにすることができる。

## 【0046】

また、多孔質層上に、結晶性良く半導体のエピタキシャル成長を行うには、多孔質層の表面層の結晶成長の種となる微細孔を小さくすることが望まれる。このように表面層の微細孔を小さくする手段の一つとしては、陽極化成にあたって電解液中のHF濃度を濃くする方法がある。すなわち、この場合、まず表面層を形成する低電流陽極化成では、HF濃度の濃い電解溶液を使用する。次にバッファ層となる中間多孔率層を形成し、その後、電解溶液のHF濃度を下げた後、最後に高電流密度の陽極化成を行う。このようにすることによって、表面層の微細孔の微細化をはかることができることによって、これの上に結晶性の良いエピタキシャル半導体膜を形成することができるものであり、しかも高多孔率層においては、多孔率を必要十分に高くできるので、エピタキシャル半導体膜の剥離は良好に行うことができる。

## 【0047】

この多孔質層の陽極化成における電解溶液の変更は、例えば表面層の形成においては、電解溶液として、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 2 : 1$ による電解溶液を使用した陽極化成を行い、バッファ層としての中間多孔率層の形成においては、やや薄いHF濃度の電解溶液、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ による電解溶液を使用した陽極化成を行い、さらに高多孔率層を形成においては、電解溶液は、さらにHF濃度を薄くして、例えば $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 \sim 1 : 2$ の電解溶液を用いた高電流密度の陽極化成を行う。

【0048】

なお、上述した多孔質層の形成において、表面層の形成から中間多孔率層の形成にかけて、電流密度を変化させるとき、一旦陽極化成を停止してから、次の陽極化成を行う通電を開始する手順によることもできるし、一旦陽極化成を停止することなくすなわち通電を停止することなく、連続して電流密度を変化させて行うこともできる。

【0049】

また、陽極化成を行う際に、光を遮断した暗所で行うことにより多孔質層の表面の凹凸を小とし、これの上にエピタキシャル成長させる半導体膜の結晶性を上げることができる。

【0050】

なお、陽極化成されたシリコンの多孔質層は、可視発光素子として利用できる。この場合は光を照射しながら陽極化成することが好ましく、これにより発光効率が上昇する。更に、酸化させると、波長にブルーシフトが起こる。また、半導体基体は、p型でもn型でもよいが、不純物を導入しない高抵抗のものの方が好ましい。

【0051】

以上の工程により、表面（片面または両面）に多孔質層が形成された半導体基板を得ることができる。なお、多孔質層全体の膜厚は、特に制限されないが、1～50 $\mu$ m、好適には3～15 $\mu$ m、通常8 $\mu$ m程度の厚さとしてすることができる。多孔質層全体の厚さは、半導体基板をできる限り繰り返し使用できるようにするためにできるだけ薄くすることが好ましい。

【0052】

また、多孔質層上に、半導体をエピタキシャル成長するに先立って、多孔質層をのアニールを行うことが好ましい。このアニールは、水素ガス雰囲気中での熱処理、すなわち水素アニールを挙げることができる。この水素アニールを行うときは、多孔質層の表面に形成された自然酸化膜の完全な除去、および多孔質層中の酸素原子を極力除去することができ、多孔質層の表面が滑らかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。同時にこの前

処理によって、高多孔率層と中間多孔率層との界面の強度を一層弱めることができる。エピタキシャル半導体膜の基板からの分離をより容易に行うことができる。この場合の水素アニールは、例えば950℃～1150℃程度の温度範囲で行う。

#### 【0053】

また、水素アニールの前に、多孔質層を低温酸化させると、多孔質層の内部は酸化されるので、水素ガス雰囲気中での熱アニールを施しても多孔質層には大きな構造変化が生じない。つまり、多孔質層の表面への剥離層からの歪みが伝わりにくくなり、良質な結晶性のエピタキシャル半導体膜を成膜することができる。この場合の低温酸化は、例えばドライ酸化雰囲気中で400℃で1時間程度で行うことができる。

#### 【0054】

そして、上述したように多孔質層表面に半導体のエピタキシャル成長を行う。この半導体のエピタキシャル成長は、単結晶半導体基板の表面に形成された多孔質層は、多孔質ながら結晶性を保っていることから、この多孔質層上へのエピタキシャル成長は可能である。この多孔質層表面へのエピタキシャル成長は、例えばCVD法により、例えば700℃～1100℃の温度で行うことができる。

#### 【0055】

また、上述した水素アニール、および半導体のエピタキシャル成長のいずれにおいても、半導体基体を所定の基体温度に加熱する方法としては、いわゆるサセプタ加熱方式によることもできるし、半導体基体自体に直接電流を流して加熱する通電加熱方式等を採用することができる。

#### 【0056】

多孔質層上にエピタキシャル成長する半導体膜は、単層半導体膜とすることも複数の半導体層の積層による複層半導体膜とすることができる。また、この半導体膜は半導体基体と同じ物質でもよいし、異なる物質でもよい。例えば、単結晶Si半導体基体を用い、その表面に形成した多孔質層にSi、あるいはGaAs等の化合物半導体、またはSi化合物、例えば $\text{Si}_{1-y}\text{Ge}_y$ をエピタキシャル成長するとか、これらを適宜組み合わせ積層する等、種々のエピタキシャル成長



を行うことができる。

【0057】

一方、化合物半導体による薄膜半導体を形成する場合においては、半導体基体として化合物半導体基体を用いることができ、この場合においてもこれに陽極化を行えば、同様に表面に多孔質層を有する半導体基体を構成することができる。そして、その多孔質層上に化合物半導体をエピタキシャル成長させれば、例えばSi半導体基体上に化合物半導体をエピタキシャル成長させる場合よりも格子不整合を小さくすることができることから良好な結晶性をもつ薄膜化合物半導体を形成することができる。

【0058】

また、多孔質層に成膜する半導体膜には、そのエピタキシャル成長に際してn型もしくはp型の不純物を導入することができる。あるいは、エピタキシャル半導体膜の成膜後に、イオン注入、拡散等によって不純物の導入を全面もしくは選択的に行うこともできる。この場合、その使用目的に応じて、導電型、不純物の濃度、種類の選択がなされる。

【0059】

また、エピタキシャル半導体膜の厚さも、薄膜半導体の用途に応じて適宜選択することができる。例えば、半導体集積回路を薄膜半導体に形成する場合、半導体素子の動作層は数 $\mu\text{m}$ 程度の厚さであるので、例えば $5\mu\text{m}$ 程度の厚さに形成することができる。

【0060】

単結晶シリコンによる半導体膜をエピタキシャルして薄膜半導体を形成し、これにより太陽電池を構成する場合は、半導体膜としては、例えば多孔質層側から順に、例えばp型の高不純物濃度の $p^+$ 半導体層、p型の低不純物濃度の $p^-$ 半導体層、およびn型の高不純物濃度の $n^+$ 半導体層の順にエピタキシャル成長させた複層半導体膜とすることができる。これらの層の不純物濃度、膜厚は特に制限されないが、例えば $p^+$ 型半導体層は、膜厚が $0\sim 1\mu\text{m}$ の範囲、典型的には $0.5\mu\text{m}$ 程度、ボロンBの濃度が $10^{18}\sim 10^{20}\text{atoms/cm}^3$ の範囲、典型的には約 $10^{19}\text{atoms/cm}^3$ 程度、p型半導体層は、膜厚が $1\sim 30\mu\text{m}$ の範囲、典型

的には $5\mu\text{m}$ 程度、ボロン濃度が $10^{14}\sim 10^{17}\text{atoms/cm}^3$ の範囲、典型的には約 $10^{16}\text{atoms/cm}^3$ 程度、 $n^+$ 型半導体層は、膜厚が $0.1\sim 1\mu\text{m}$ の範囲、典型的には $0.5\mu\text{m}$ 程度、リンPまたは砒素Asの濃度が $10^{18}\sim 10^{20}\text{atoms/cm}^3$ の範囲、典型的には約 $10^{19}\text{atoms/cm}^3$ 程度とすることが好ましい。

## 【0061】

また、半導体膜を、多孔質層側から $p^+$ 型Si層、 $p$ 型 $\text{Si}_{1-x}\text{Ge}_x$ グレーディッド層、アンドープの $\text{Si}_{1-y}\text{Ge}_y$ 層、 $n$ 型 $\text{Si}_{1-x}\text{Ge}_x$ グレーディッド層、および $n^+$ 型シリコン層の順にエピタキシャル成長させた半導体膜とし、これによってダブルヘテロ構造の太陽電池を作製することができる。このダブルヘテロ構造を構成する各層の典型的な例示としては、 $p^+$ 型Si層としては、不純物濃度が $10^{19}\text{atoms/cm}^3$ 程度、膜厚が $0.5\mu\text{m}$ 程度、 $p$ 型 $\text{Si}_{1-x}\text{Ge}_x$ グレーディッド層としては、不純物濃度が $10^{16}\text{atoms/cm}^3$ 程度、膜厚が $1\mu\text{m}$ 程度、アンドープの $\text{Si}_{1-y}\text{Ge}_y$ 層としては、 $y$ が $0.7$ 、膜厚が $1\mu\text{m}$ 程度、 $n$ 型 $\text{Si}_{1-x}\text{Ge}_x$ グレーディッド層としては、不純物濃度が $10^{16}\text{atoms/cm}^3$ 程度、膜厚が $1\mu\text{m}$ 程度、および $n^+$ 型Si層としては、不純物濃度が $10^{10}\text{cm}^{-3}$ 程度、膜厚が $0.5\mu\text{m}$ 程度とすることが好ましい。なお、 $p$ 型、 $n$ 型 $\text{Si}_{1-x}\text{Ge}_x$ グレーディッド層中のGeの組成比 $x$ は、それぞれ両側に存する層の $x=0$ からアンドープの $\text{Si}_{1-y}\text{Ge}_y$ の $y$ まで、漸次増大するようにすることが好ましい。これにより、各界面において格子定数が整合することから、良好な結晶性を得ることができる。

## 【0062】

このようなダブルヘテロ構造の太陽電池では、その中央のアンドープの $\text{Si}_{1-y}\text{Ge}_y$ 層にキャリアおよび光を有効に閉じこめることができるため、高い変換効率を得ることができる。

## 【0063】

上述の半導体膜は、半導体基体から剥離し、そのまま薄膜半導体として使用することが可能である。

## 【0064】

あるいは、半導体膜を、多孔質層を介して半導体基体に弱く固着させた状態の

ま、この半導体膜に、例えば太陽電池として必要な処理を行い、その後支持基板を半導体膜に貼合せて、この支持基板と半導体膜とを一体化させた後、この支持基板とともに半導体膜を半導体基体から剥離する。

【0065】

太陽電池における支持基板は、例えば窓ガラスなどのガラス板、金属基板、セラミック基板、あるいは透明樹脂フィルムもしくはシート（以下単にシートという）等によるフレキシブル基板など種々の基板によって構成することができる。

【0066】

次に、太陽電池を構成する工程を説明する。この工程は、上述した半導体基体から半導体膜を剥離した後に行うこともできるし、半導体基体と一体化した状態のままで行うこともできる。

【0067】

上述した多孔質層が表面に形成された半導体基体上に、上述したように、複層シリコン半導体膜をエピタキシャル成長する。その後、例えば熱酸化処理を行って表面に10～200nm程度の膜厚の酸化膜を形成する。そして、必要に応じて、半導体膜表面の酸化膜をフォトリソグラフィ技術を用いて配線層のパターンに形成する。あるいは、半導体膜との接続が必要な個所にだけ、開口させてもよい。その後、例えば最終的に電極および配線層を構成する導電層、例えばA1等の単層金属層あるいは複数の金属層の積層による多層金属層をそれぞれを蒸着等によって全面的に形成し、これをフォトリソグラフィによるエッチングによって所要の電極および配線パターンにパターンニングする。また、この電極および配線パターンニングの形成は、例えば印刷法によることもできる。

【0068】

また、例えば透明樹脂シートに、所要の電極および配線パターン、いわゆるプリント配線が形成されたいわゆるプリント基板を予め用意しておき、このプリント基板と、上述の半導体基体の表面の多孔質層上に成膜した半導体膜に、対応する部分を電気的に接合して貼り合わせる。このとき、両者の電極間相互は、例えば半田により接合する。また、電極以外の部分は、エポキシ樹脂などの透明接着剤を用いて接着できる。

## 【0069】

このように、プリント基板と薄膜単結晶シリコン（Si）とを貼り合わせることは、従来不可能であったが、本発明においては、極めて容易に行うことができる。また、プリント基板に限らず、透明樹脂シートを貼り合わせてもよい。

プリント基板あるいは透明樹脂シート等の支持基板を貼り合わせた後、半導体基体との間に引っ張り応力を加えることにより、多孔質層の高多孔率層、もしくは高多孔率層と中間多孔質層との界面、あるいは高多孔率層と半導体基体との界面等において破壊を生じさせて、エピタキシャル半導体膜をプリント基板等の支持基板側に貼り合わせた状態で半導体基体から容易に剥離することができる。このようにして、プリント基板等のき支持基板面に薄膜半導体による太陽電池が形成された、例えばフレキシブル太陽電池を得ることができる。

## 【0070】

この場合、エピタキシャル半導体膜の支持基板例えばプリント基板が接合された側とは反対側の裏面には、半導体基体からの剥離によって多孔質層が残る場合がある。この場合、例えばエッチングによってこの多孔質層の除去を行うこともできるが、この多孔質層が残された状態で、これに例えば銀ペースト等の金属膜を形成し、太陽電池の他方のオーミック電極とすると、光反射面として、光の利用率を高めることによって、実効的に光-電気変換効率の向上をはかることができる。更に、この面に金属板を貼り合せるとか樹脂層を形成することによって保護層とすることもできる。

## 【0071】

一方、半導体膜が剥離された半導体基体は、その表面を研磨して再び同様の作業が繰り返しなされて、太陽電池等の形成がなされる。半導体基体の厚さは、例えば200～300 $\mu$ m程度とすることができ、一方、例えば1回の太陽電池の製作に消費される半導体基体の厚さは、約3～20 $\mu$ m程度であるため、10回の繰り返し使用でも消費される厚さは約30～200 $\mu$ mであるので半導体基体は充分繰り返し利用が可能である。したがって、本発明方法によれば、高価な単結晶の半導体基体を繰り返し使用できるので、コストの低減化、かつ低エネルギーで太陽電池を製造することができる。また、この繰り返し作業によって厚さが充

分薄くなった半導体基体は、これ自体で太陽電池を構成することができる。

【0072】

次に、本発明の実施例を挙げて説明する。しかしながら、本発明は、この実施例に限定されるものではない。

まず、本発明による薄膜半導体の製造方法の実施例について説明する。

【0073】

〔実施例1〕

図2および図3は、この実施例1の製造工程図を示す。

まず、高濃度にボロンBがドーピングされて、比抵抗例えば $0.01 \sim 0.02 \Omega \text{ cm}$ とされた単結晶Siによるウエハ状の半導体基体11を用意した(図2A)。

【0074】

そして、この半導体基体11の表面を陽極化して半導体基体11の表面に多孔質層を形成した。この実施例においては、図1で説明した2槽構造の陽極化成装置を用いて陽極化成を行った。すなわち、第1および第2の各槽1Aおよび1B間に単結晶Siによる半導体基体11を配置し、両槽1Aおよび1Bには、共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ による電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0075】

まず、電流密度 $7 \text{ mA/cm}^2$ の低電流で13分間通電させた。これにより多孔率26%、厚さ約 $10 \mu\text{m}$ の表面層12Sが形成された(図2B)。

【0076】

一旦通電を止めた後、 $200 \text{ mA/cm}^2$ の高電流密度で3秒間通電させた。これにより、表面層12S内に、すなわち先に形成した表面層12Sによって挟み込まれた状態で、これに比し高い多孔率を有する多孔率約60%の高多孔率層12Hが形成された(図2C)。このようにして、表面層12Sと高多孔率層12Hとによる多孔質層12が形成された。

【0077】

このように形成された多孔質層12は、表面層12Sと高多孔率層12Hとが多孔率が大きく異なるので、これら表面層12Sと高多孔率層12Hの界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

【0078】

このようにして、多孔質層12の形成後、常圧Siエピタキシャル成長装置内でまず、半導体基体11を $H_2$ 雰囲気中で1100℃に加熱処理すなわちアニール処理を行った。この加熱工程は、室温から1100℃までの加熱昇温時間を約20分とし、その後この1100℃に約30分間保持して行った。この $H_2$ 中アニールにより、多孔質層12の表面は滑らかになり、多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度は、一層脆弱化された。

【0079】

その後、 $H_2$ 雰囲気中1100℃のアニール温度から、1030℃に降温して、 $SiH_4$ ガスを原料ガスとしてSiのエピタキシャル成長を17分間行った。このようにすると、多孔質層12の表面上に、厚さ約5 $\mu m$ の単結晶Siによるエピタキシャル半導体膜13が形成された(図3A)。

【0080】

この状態でエピタキシャル半導体膜13を、半導体基体11から剥離する。この剥離は、エピタキシャル半導体膜13の表面と半導体基体11の裏面に、それぞれ接着剤14を塗布し、これら接着剤14によってPET(ポリエチレンテレフタレート)樹脂シートによるフレキシブル支持基板15を貼着する(図3B)。この接着剤14による支持基板15の接着強度は、多孔質層12における分離強度より強い強度に選定した。

【0081】

両基板15に、互いに引き離す外力を加える。このようにすると、脆弱な多孔質層12において、高多孔率層12Hまたはこれとの界面ないしはその近傍で剥離が生じ、エピタキシャル半導体膜13が、半導体基体11より分離される(図3C)。

【0082】

このようにして、分離されたエピタキシャル半導体膜13によって薄膜半導体23が構成される(図3D)。この例においては、薄膜半導体23に付着された多孔質層をエッチングによって除去した。

【0083】

【実施例2】

図4および図5は、この実施例2の製造工程図を示す。

まず、実施例1と同様に、高濃度にボロンBがドーピングされて、比抵抗例えば0.01~0.02Ωcmとされた単結晶Siによるウエファ状の半導体基体11を用意した(図4A)。

【0084】

そして、この半導体基体11の表面を陽極化成して半導体基体11の表面に多孔質層を形成した。この実施例2においても、実施例1と同様に図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各槽1Aおよび1B、共にH<sub>2</sub>F<sub>2</sub>O<sub>2</sub>:C<sub>2</sub>H<sub>5</sub>OH=1:1による電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0085】

この実施例2においては、まず、電流密度1mA/cm<sup>2</sup>の低電流で8分間通電した。このようにすると、実施例1における表面層12Sに比し、その微細孔の孔径が小さい緻密な多孔率16%、厚さ1.7μmの表面層12Sが形成される(図4B)。

一旦通電を止めた後、電流密度7mA/cm<sup>2</sup>で8分間通電した。このようにすると、表面層12Sの微細孔に比し孔径が大きい多孔率26%、厚さ6.3μmの中間多孔率層12Mが、表面層12Sの下層すなわち表面層12Sより内側に形成された(図4C)。

更に、一旦通電を止めた後、200mA/cm<sup>2</sup>の高電流密度で3秒間通電させた。このようにすると、中間多孔率層12M内に、すなわち中間多孔率層12Mによって上下に挟み込まれた位置にこの中間多孔率層12Mに比して高い多孔率とされた、すなわち多孔率約60%、厚さ0.05μmの高多孔率層12Hが

形成された（図4D）。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成された。

【0086】

このように形成された多孔質層12は、中間多孔率層12Mと高多孔率層12Hとが多孔率が大きく異なるので、これら中間多孔率層12Mと高多孔率層12Hの界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

【0087】

このようにして、多孔質層12の形成して後は、実施例1と同様にアニールを行い、Siのエピタキシャル成長を行い、剥離処理を行う。

【0088】

すなわち、常圧Siエピタキシャル成長装置内で先ず、半導体基体11を $H_2$ 雰囲気中でアニールした。このアニールすなわち加熱工程は、室温から1100℃までの加熱昇温時間を約20分とし、その後この1100℃に約30分間保持して行った。この $H_2$ アニールは、多孔質層の微細孔が小さいとより滑らかになることからこの $H_2$ 中アニールにより、多孔質層12の微細孔が小さい表面層12Sは、より滑らかになり、多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度は、いっそう脆弱化された。

【0089】

その後、 $H_2$ 中1100℃のアニール温度から、1030℃に降温して、 $SiH_4$ ガスを原料ガスとしてSiのエピタキシャル成長を17分間行った。このようにすると、多孔質層12の表面層12S上に、厚さ約5 $\mu m$ の単結晶Siによるエピタキシャル半導体膜13が形成された（図5A）。

【0090】

この状態で多孔質層12の表面と半導体基体11の裏面に、それぞれ接着剤14を塗布し、これら接着剤14によってPETシート（図示せず）を多孔質層12における分離強度より強い接着強度で貼着し、実施例1と同様に互いに引き離す外力を加える。このようにすると、脆弱な多孔質層12において、高多孔率層12Hあるいは中間多孔率層12Mと高多孔率層12Hとの界面ないしはその近傍



で剥離が生じ、エピタキシャル半導体膜 13 が、半導体基体 11 より分離される (図 5B)。

【0091】

このようにして分離されたエピタキシャル半導体膜 13 によって薄膜半導体 23 が構成される。この例においては、薄膜半導体 23 に付着された多孔質層をエッチングによって除去した。

【0092】

この実施例 2 においては、多孔率が小さい、すなわちより緻密な表面層 12S を形成したものであり、これが、上述の  $H_2$  中でのアニールによって、より滑らかになることから、これの上にエピタキシャル成長した半導体膜 13、すなわちこれによって形成された薄膜半導体 23 は、より結晶性すぐれた半導体として形成される。

【0093】

また、このように、多孔率が小さい表面層 12S を形成するにもかかわらず、高多孔率層 12H と表面層 12S との間に、その多孔率が中間の中間多孔率層 12M を設けるようにしたことにより、これが表面層にかかる歪のバッファ層として作用することから、高多孔率層 12 の存在による歪の多孔質層 12 のエピタキシャル成長がなされる表面への影響を効果的に減少させることができる。

【0094】

〔実施例 3〕

図 6 および図 7 は、この実施例 3 の製造工程図を示す。

まず、実施例 1 および 2 と同様に、高濃度にボロン B がドーピングされて、比抵抗例えば  $0.01 \sim 0.02 \Omega \text{cm}$  とされた単結晶 Si によるウエファ状の半導体基体 11 を用意した (図 6A)。

【0095】

そして、この半導体基体 11 の表面を陽極化成して半導体基体 11 の表面に多孔質層を形成する。この実施例 3 においても、実施例 1 および 2 と同様に図 1 で説明した 2 槽構造の陽極化成装置を用い、第 1 および第 2 の各槽 1A および 1B、共に  $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$  による電解溶液を注入した。そして各電解溶

液槽 1 A および 1 B の電解溶液中に浸漬配置した Pt 電極 3 A および 3 B 間に直  
流電源 2 によって電流を流した。

【0096】

この実施例 3 においても、先ず、電流密度  $1 \text{ mA/cm}^2$  の低電流で 8 分間通  
電した。このようにすると、実施例 2 と同様にその微細孔の口径が小さい緻密な  
表面層 1 2 S が形成される (図 6 B)。

【0097】

一旦通電を停止した後、この実施例 3 においては、電流密度  $4 \text{ mA/cm}^2$  で  
3 分間通電した。このようにすると、表面層 1 2 S の微細孔に比し口径が大きい  
多孔率 22%、厚さ  $1.8 \mu\text{m}$  の第 1 の中間多孔率層 1 2 M<sub>1</sub> が、表面層 1 2 S  
の下層すなわち表面層 1 2 S より内側に形成された (図 6 C)。

【0098】

再び一旦通電を停止した後、更に電流密度  $10 \text{ mA/cm}^2$  で 6 分間通電した  
。このようにすると、第 1 の中間多孔率層 1 2 M<sub>1</sub> の下層すなわち第 1 の中間多  
孔率層 1 2 M<sub>1</sub> より更に内側に多孔率約 30%、厚さ  $6.6 \mu\text{m}$  の第 2 の中間多  
孔率層 1 2 M<sub>2</sub> が形成された (図 6 D)。

【0099】

更に、一旦通電を止めた後、 $200 \text{ mA/cm}^2$  の高電流密度で 3 秒間通電さ  
せた。このようにすると、第 2 の中間多孔率層 1 2 M<sub>2</sub> 内に、すなわち第 2 の中  
間多孔率層 1 2 M<sub>2</sub> によって上下に挟み込まれた位置に、この中間多孔率層 1 2  
M<sub>2</sub> に比して高い多孔率の多孔率約 60%、厚さ約  $0.5 \mu\text{m}$  の高多孔率層 1 2  
H が形成された (図 6 E)。このようにして、表面層 1 2 S と、第 1 および第 2  
の中間多孔率層 1 2 M<sub>1</sub> および 1 2 M<sub>2</sub> と、高多孔率層 1 2 H とによる多孔質層  
1 2 が形成された。

【0100】

このように形成された多孔質層 1 2 においても、中間多孔率層 1 2 M<sub>2</sub> と高多  
孔率層 1 2 H とが多孔率が大きく異なるので、これら中間多孔率層 1 2 M<sub>1</sub> と高  
多孔率層 1 2 H の界面および界面近傍において大きな歪みがかかり、この付近の  
強度が極端に弱くなる。

【0101】

このようにして、多孔質層12の形成して後は、実施例1および2と同様にアニールを行い、Siのエピタキシャル成長によってエピタキシャル半導体膜13を形成し（図7A）、支持基板としてのPETシートの接合（図示せず）を行い、エピタキシャル半導体膜13と半導体基体11とを多孔質層12の高多孔率12Hもしくはその近傍の破壊によって剥離処理を行う（図7B）。

【0102】

このようにして、エピタキシャル半導体膜13によって薄膜半導体23を形成する。

【0103】

この実施例3においては、高多孔率層12Hと表面層12Sとの間に、その多孔率が両者の中間で高多孔率層12Hに向かって多孔率が高められた第1および第2の2層の中間多孔率層12M<sub>1</sub> およびM<sub>2</sub> を設けるようにしたことにより、これが表面層にかかる歪のバッファ層として作用することから、高多孔率層12の存在による歪の多孔質層12のエピタキシャル成長がなされる表面への影響を、より効果的に減少させることができる。

【0104】

【実施例4】

この実施例においては、図4および図5で説明した実施例2と同様に、単結晶Si半導体基体11の表面に陽極化成によって、表面層12Sと、中間多孔率層12Mと、この中間多孔率層12M内に形成された高多孔率層12Hとによって多孔質層12を形成してこれの上に目的とする薄膜半導体を構成するエピタキシャル半導体膜をエピタキシャル成長するものであるが、この実施例においては、その表面層12Sと中間多孔率層12Mの形成を連続的通電によって通電量を変化させて形成した。

【0105】

この実施例においても、実施例1および2と同様に、ボロンBがドーブされた比抵抗が0.01~0.02Ωcmの単結晶Siによる半導体基体11を用意する（図4A）。

【0106】

そして、この半導体基体11に対して、実施例1および2と同様に図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各槽1Aおよび1B、共に $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ の電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0107】

この実施例4においても、まず、電流密度 $1\text{mA}/\text{cm}^2$ の低電流で8分間通電した。このようにすると、多孔率16%、厚さ $1.7\mu\text{m}$ の表面層12Sが形成される(図4B)。

【0108】

そして、この実施例においては、この表面層12Sの形成後に、一旦通電を停止させることなく、その通電量を上記 $1\text{mA}/\text{cm}^2$ から $10\text{mA}/\text{cm}^2$ へと徐々に16分間で変化させて陽極化成を行って多孔率が16%から30%程度へと変化する厚さ約 $6.8\mu\text{m}$ の中間多孔率層12Mを形成した(図4C)。

【0109】

その後、一旦通電を停止した後、 $200\text{mA}/\text{cm}^2$ の高電流密度で3秒間通電させた。このようにすると、中間多孔率層12M内に、すなわち中間多孔率層12Mによって上下に挟み込まれた位置にこの中間多孔率層12Mに比して高い多孔率の、多孔率約60%、厚さ約 $0.5\mu\text{m}$ のと高多孔率層12Hが形成された(図4D)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成された。

【0110】

このように形成された多孔質層12は、中間多孔率層12Mと高多孔率層12Hとが多孔率が大きく異なるので、これら中間多孔率層12Mと高多孔率層12Hの界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

【0111】

このようにして、多孔質層12の形成して後は、実施例1および2と同様のア

ニールを常圧 Si エピタキシャル成長装置内で  $H_2$  雰囲気中で行って多孔質層 12 の表面層 12 S を滑らかにし、また多孔質層 12 内部の中間多孔率層 12 M と、高多孔率層 12 H との界面付近における強度の脆弱化をはかる。

【0112】

その後、実施例 1 および 2 におけると同様にアニールを行った常圧 Si エピタキシャル成長装置内で、Si のエピタキシャル成長を 17 分間行って厚さ約  $5 \mu m$  の単結晶 Si によるエピタキシャル半導体膜 13 を形成した（図 5 A）。

【0113】

この状態で実施例 2 におけると同様に、PET シートによる支持基板を貼着（図示せず）、および剥離（図 5 B）等を行って目的とする薄膜半導体 23 を得る。この場合においても、その剥離は、多孔質層における破壊、すなわち高多孔率層 12 H またはその近傍の破壊によってなされる。

【0114】

この実施例 4 においても、多孔率が小さい、すなわちより緻密な表面層 12 S を形成したものであり、これが、上述の  $H_2$  中でのアニールによって、より滑らかになることから、これの上にエピタキシャル成長したエピタキシャル半導体膜 13 すなわちこれによって形成された薄膜半導体 23 は、より結晶性すぐれた半導体として形成される。

【0115】

そしてこの実施例 4 においては、多孔質層 12 の形成において、その表面 12 S から中間多孔率層 12 M の形成において電流密度を傾斜的に増加して形成したことから、高多孔率層 12 H から表面層 12 S の間における多孔率は漸次変化することから両者間で生ずる歪みの中間多孔率層 12 M による緩和すなわちバッファが効果的になされ、 $H_2$  雰囲気中アニールを行った後は、より平坦で滑らかな表面を形成することができる。したがって、これの上に形成するエピタキシャル半導体膜、したがって、最終的に得られる薄膜半導体は、より結晶性に優れ、信頼性の高い薄膜半導体として形成することができる。

【0116】

【実施例 5】

図8は、この実施例の工程図を示すもので、この実施例においては、多孔質層12において、その高多孔率層を、多孔質層12の、半導体基体11との界面すなわち基体11の多孔質化されていない部分との界面側に形成した。

【0117】

この実施例においても、実施例1および2と同様に、ボロンBがドーブされた比抵抗が0.01~0.02Ωcmの単結晶Siによる半導体基体11を用意する(図8A)。

【0118】

そして、この半導体基体11に対して、実施例1および2と同様に図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各槽1Aおよび1B、共に $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ による電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0119】

この実施例5においては、実施例2と同様に、先ず、電流密度 $1\text{mA}/\text{cm}^2$ の低電流で8分間通電した。このようにすると、多孔率16%、厚さ約 $1.7\mu\text{m}$ の表面層12Sが形成される(図8B)。

そして、実施例2と同様に、一旦通電を停止させてその通電量を $7\text{mA}/\text{cm}^2$ 8分間の陽極化成を行って多孔率が26%厚さ $6.3\mu\text{m}$ の中間多孔率層12Mを表面層12S下にした(図8C)。

【0120】

その後、一旦通電を停止した後、この実施例においては、 $200\text{mA}/\text{cm}^2$ の高電流密度を間欠的に給電した。すなわち、先ず $200\text{mA}/\text{cm}^2$ を、0.7秒間通電させ、再び通電を停止して1分間保持し、その後 $200\text{mA}/\text{cm}^2$ を、0.7秒間通電させ、更に通電を停止して1分間保持し、その後 $200\text{mA}/\text{cm}^2$ を、0.7秒間通電させた。すなわち、3回の間欠の高電流密度の給電を行って陽極化成を行った。このようにすると、中間多孔率層12M下に中間多孔率層12Mに比して高い多孔率の、多孔率約60%、厚さ約 $50\text{nm}$ のと高多孔率層12Hが形成された(図8D)。このようにして、表面層12Sと、中間

多孔率層 12M と、高多孔率層 12H とによる多孔質層 12 が形成される。

【0121】

このようにして形成された多孔質層 12 においては、高多孔率層 12H と、中間多孔率層 12M との間と、更に基体 11 との間の多孔率が大きく異なるので、これら界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

【0122】

このようにして、多孔質層 12 の形成して後は、実施例 2 で説明したと同様に、アニールを常圧 Si エピタキシャル成長装置内で  $H_2$  雰囲気中で行って多孔質層 12 の表面層 12S を滑らかにし、同時に高多孔率層 12H の脆弱化をはかる。

【0123】

その後、実施例 2 におけると同様に、アニールを行った常圧 Si エピタキシャル成長装置内で、Si のエピタキシャル成長を 17 分間行って厚さ約 5  $\mu m$  の単結晶 Si によるエピタキシャル半導体膜 13 が形成した（図 8E）。

【0124】

そして、前述の各実施例と同様に、エピタキシャル半導体膜 13 と半導体基体 11 とを分離する（図 8F）。

【0125】

このように、間欠的大電流通電によって形成した高多孔率層 12H は、半導体基体 11 との界面、ないしは界面近傍に形成されるものであり、またその多孔率はきわめて高く形成することができ、 $H_2$  雰囲気中アニールによって高多孔質層 12H の多孔率は著しく高まる。したがって、この方法によって形成した多孔質層 12 におけるエピタキシャル半導体膜 12 の剥離は、高多孔率層 12H もしくはその近傍で、きわめて容易になされる。

【0126】

図 23 および図 24 は、この実施例における多孔質層の中間多孔質層 12M と高多孔質層 12H とに渡る断面の上述の  $H_2$  雰囲気中でのアニールを行う前と、行った後の各 10 万倍の顕微鏡写真に基く模式図で、これらを比較して明らかなよ

うに $H_2$ 中アニールによって結晶粒の成長が生じ、特に高多孔質層12Hにおいては孔部の拡大成長が著しく生じて、霜柱状(図24では柱が存在しない部分での断面)の極めて粗なる層を形成し、この部分における脆弱性が著しくなる。

【0127】

実施例5においては、間欠的大電流通電によって半導体基体11との界面に高多孔率層12Hを形成した場合であるが、このような間欠的大電流通電によることなく、同様に、高多孔率層12Hを、半導体基体11との界面に形成することもできる。この場合の実施例を実施例6、7および実施例8において示す。

【0128】

【実施例6】

この実施例においても、図8の工程図を参照して説明する。

この実施例においては、多孔質層12の表面層12Sおよび中間多孔率層の形成は、実施例2で説明したと同様の方法によった。

【0129】

すなわち、この実施例においても、実施例2におけると同様に、高濃度にボロンBがドーピングされて、比抵抗例えば $0.01 \sim 0.02 \Omega \text{cm}$ とされた単結晶Siによるウエハ状の半導体基体11を用意した(図8A)。

【0130】

そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各槽1Aおよび1Bに、共に $HF : C_2H_5OH = 1 : 1$ の電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0131】

まず、電流密度 $1 \text{mA/cm}^2$ の低電流で8分間通電した。このようにすると、実施例2におけると同様の表面層12Sが形成される(図8B)。

一旦通電を止めた後、電流密度 $7 \text{mA/cm}^2$ で8分間通電して表面層12Sの下層すなわち表面層12Sより内側に実施例2におけると同様の中間多孔率層12Mが形成される(図8C)。

更に、一旦通電を止めた後、この実施例においては、実施例2において通電し



た大電流に比しては低く、表面層 12S や、中間多孔率層 12M の形成時の通電電流に比しては高い、いわゆる中電流の  $60 \text{ mA/cm}^2$  を 1.9 秒間通電した。このようにすると、実施例 5 におけると同様に、中間多孔率層 12M 下の半導体基体 11 の表面との界面に、多孔率約 60% で厚さ約 50 nm の高多孔率層 12H が形成される (図 8D)。このようにして、表面層 12S と、中間多孔率層 12M と、高多孔率層 12H とによる多孔質層 12 が形成される。

#### 【0132】

このようにして形成された多孔質層 12 においても、高多孔率層 12H と、中間多孔率層 12M および基体 11 との間の多孔率が大きく異なるので、これら界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

#### 【0133】

このようにして、多孔質層 12 の形成して後は、実施例 2 で説明したと同様に、アニールを常圧 Si エピタキシャル成長装置内で  $\text{H}_2$  雰囲気中で行って多孔質層 12 の表面層 12S を滑らかにし、同時に多孔質層 12 内部の中間多孔率層 12M と、高多孔率層 12H との界面付近における強度の脆弱化をはかる。

#### 【0134】

その後、実施例 2 におけると同様に、アニールを行った常圧 Si エピタキシャル成長装置内で、Si のエピタキシャル成長を 17 分間行って厚さ約 5  $\mu\text{m}$  の単結晶 Si によるエピタキシャル半導体膜 13 が形成した (図 8E)。

#### 【0135】

そして、上述の各実施例におけると同様にエピタキシャル半導体膜 13 の半導体基板 11 からの剥離を行って目的とする薄膜半導体 23 を得る (図 8F)。

#### 【0136】

#### 【実施例 7】

この実施例においても、図 8 の工程図を参照して説明する。

この実施例においても、実施例 2 におけると同様に、高濃度にボロン B がドーブされて、比抵抗例えば  $0.01 \sim 0.02 \Omega\text{cm}$  とされた単結晶 Si によるウエハ状の半導体基体 11 を用意した (図 8A)。

【0137】

この場合においても、図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各槽1Aおよび1B、共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ の電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0138】

そして、先ず、この実施例においては、電流密度 $1\text{mA}/\text{cm}^2$ の低電流で6分間通電した。このようにすると、多孔率16%、厚さ $1.7\mu\text{m}$ の表面層12Sが形成された(図8B)。

一旦通電を止めた後、電流密度 $4\text{mA}/\text{cm}^2$ で10分間通電を行った。このようにすると、表面層12Sの下層すなわち表面層12Sより内側に、多孔率22%、厚さ約 $5.8\mu\text{m}$ の中間多孔率層12Mが形成される(図8C)。

更に、一旦通電を止めた後、この実施例においては、中電流の $60\text{mA}/\text{cm}^2$ を2秒間通電した。このようにすると、中間多孔率層12M下の半導体基体11との界面に、多孔率約60%で厚さ約 $50\text{nm}$ の高多孔率層12Hが形成される(図8D)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

【0139】

このようにして形成された多孔質層12においても、高多孔率層12Hと、中間多孔率層12Mおよび基体11との間の多孔率が大きく異なるので、これら界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

【0140】

このようにして、多孔質層12の形成して後は、実施例2で説明したと同様にアニールを常圧Siエピタキシャル成長装置内で $\text{H}_2$ 雰囲気中で行って多孔質層12の表面層12Sを滑らかにし、また多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度の脆弱化をはかる。

【0141】

その後、実施例2におけると同様にアニールを行った常圧Siエピタキシャル

成長装置内で、Siのエピタキシャル成長を17分間行って厚さ約 $5\mu\text{m}$ の単結晶Siによるエピタキシャル半導体膜13が形成し(図8E)、エピタキシャル半導体膜13の半導体基体11からの剥離を行って薄膜半導体23を得る(図8F)。

【0142】

〔実施例8〕

この実施例においても、図8の工程図を参照して説明する。

この実施例においても、実施例2におけると同様に、高濃度にボロンBがドーブされて、比抵抗例えば $0.01\sim 0.02\Omega\cdot\text{cm}$ とされた単結晶Siによるウェハ状の半導体基体11を用意した(図8A)。

【0143】

そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用いて、陽極化成を行うものであるが、この実施例においては、第1の槽1Aに $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:2$ の電解溶液を注入し、第2の槽1Bに $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ の電解溶液を注入した。そして各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0144】

まず、電流密度 $1\text{mA}/\text{cm}^2$ の低電流で5分間通電した。このようにすると、多孔率13%で、厚さ $1.5\mu\text{m}$ の表面層12Sが形成された(図8B)。

一旦通電を止めた後、電流密度 $5\text{mA}/\text{cm}^2$ で5分間通電した。このようにすると、表面層12S下に、多孔率18%で、厚さ $5\mu\text{m}$ の中間多孔率層12Mが形成された(図8C)。

更に、一旦通電を止めた後、中電流の $80\text{mA}/\text{cm}^2$ を3秒間通電した。このようにすると、中間多孔率層12M下の多孔質化がなされていない半導体基板11の表面との界面に、多孔率約60%で厚さ約 $50\text{nm}$ の高多孔率層12Hが形成された(図8D)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

【0145】

このようにして形成された多孔質層 12 においても、高多孔率層 12 H と、中間多孔率層 12 M および基体 11 との間の多孔率が大きく異なるので、これら界面および界面近傍において大きな歪みがかかり、この付近の強度が極端に弱くなる。

#### 【0146】

このようにして、多孔質層 12 の形成して後は、実施例 2 で説明したと同様に、アニールを常圧 Si エピタキシャル成長装置内で  $H_2$  雰囲気中で行って多孔質層 12 の表面層 12 S を滑らかにし、多孔質層 12 内部の中間多孔率層 12 M と、高多孔率層 12 H との界面付近における強度の脆弱化をはかる。

#### 【0147】

その後、実施例 2 におけると同様にアニールを行った常圧 Si エピタキシャル成長装置内で、Si のエピタキシャル成長を 17 分間行って厚さ約  $5 \mu m$  の単結晶 Si によるエピタキシャル半導体膜 13 が形成した (図 8 E)。

#### 【0148】

そして、この場合においても例えば PET シート (図示せず) の接着、エピタキシャル半導体膜 12 の半導体基体 11 からの剥離を行って目的とする薄膜半導体 23 を得る (図 8 F)。

#### 【0149】

#### 〔実施例 9〕

この実施例は、実施例 2 と同様の方法によるものの、多孔質層 12 に対する  $H_2$  雰囲気中での熱処理に先立って酸化処理工程を経るものである。

図 4 および 5 を参照して説明する。

この実施例においても、実施例 2 におけると同様に、高濃度にボロン B がドーパされて、比抵抗例えば  $0.01 \sim 0.02 \Omega cm$  とされた単結晶 Si によるウエファ状の半導体基体 11 を用意した (図 4 A)。

#### 【0150】

また、図 1 で説明した 2 槽構造の陽極化成装置を用い、第 1 および第 2 の各槽 1 A および 1 B、共に電解溶液の  $HF : C_2H_5OH = 1 : 1$  を注入した。そして各電解溶液槽 1 A および 1 B の電解溶液中に浸漬配置した Pt 電極 3 A および

3 B 間に直流電源 2 によって電流を流した。

【0151】

先ず、電流密度  $1 \text{ mA/cm}^2$  で 8 分間通電して表面層 1 2 S が形成した (図 4 B)。

一旦通電を止めた後、電流密度  $7 \text{ mA/cm}^2$  で 8 分間通電して表面層 1 2 S 下に中間多孔率層 1 2 M が形成した (図 4 C)。

更に、一旦通電を止めた後、 $200 \text{ mA/cm}^2$  を 3 秒間通電して中間多孔率層 1 2 M 内に高多孔率層 1 2 H を形成し、表面層 1 2 S と、中間多孔率層 1 2 M と、高多孔率層 1 2 H による多孔質層 1 2 を形成する (図 4 D)。

【0152】

その後、この実施例においては、酸化処理工程を行う。この酸化処理は、酸素雰囲気中で、 $400^\circ\text{C}$  に加熱するドライ酸化によった。この処理により、多孔質層 1 2 の内部が酸化され、後の  $\text{H}_2$  雰囲気中での加熱処理すなわちアニールによっても多孔質層に大きな構造変化が生じないようにすることができ、高多孔率層 1 2 H の界面近傍に生じる歪みの表面層 1 2 S への影響を効果的に回避することができる。

【0153】

その後は、実施例 2 におけると同様の方法によって、常圧 Si エピタキシャル成長装置によって基体 1 1 を  $\text{H}_2$  雰囲気中で熱処理し、続いて Si のエピタキシャル成長を行い (図 5 A)、例えば PET シートによる支持基板の貼着、剥離等を行って目的とする薄膜半導体 2 3 を得る (図 5 B)。

【0154】

【実施例 10】

この実施例においては、多孔質層 1 2 の陽極化成において、電解溶液の濃度を変更するようした場合である。

この場合においても図 4 および図 5 を参照して説明する。

この実施例においても、高濃度にボロン B がドーブされて比抵抗が  $0.01 \sim 0.02 \Omega \cdot \text{cm}$  とされた単結晶 Si によるウエファ状の半導体基体 1 1 を用意した (図 4 A)。

【0155】

そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用いて、陽極化成を行ったがこの場合、第1の槽1Aに $\text{HF}:\text{C}_2\text{H}_5\text{OH}=2:1$ の電解溶液を注入し、第2の槽1Bに、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ の電解溶液を注入し、これらの電解溶液槽でSi基板をはさみ、それぞれの電解溶液槽1Aおよび1B内に電極として設置したPt電極3Aおよび3B間に電流を流した。

【0156】

先ず、電流密度 $1\text{mA}/\text{cm}^2$ で8分間通電した。これによって、多孔率が16%で、厚さ1.7 $\mu\text{m}$ の表面層12Sが形成された(図4B)。

一旦通電を停止し、 $7\text{mA}/\text{cm}^2$ で8分間通電した。これによって、多孔率が26%で、厚さ6.3 $\mu\text{m}$ の中間多孔率層12Mが形成された(図4C)。

【0157】

次に、この実施例においては、第1の槽1Aの電解溶液の濃度を、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ に変化させた。そして電流密度を $200\text{mA}/\text{cm}^2$ と高くして3秒間通電を行った。このようにすると、中間多孔率層12M内に、多孔率約60%、厚さ約0.5 $\mu\text{m}$ の高多孔率層12Hが形成された(図4D)。このようにして、表面層12S、中間多孔率層12Mおよび高多孔率層12Hよりなる多孔質層12が形成される。

【0158】

その後は、実施例2におけると同様の方法によって、常圧Siエピタキシャル成長装置によって基体11を $\text{H}_2$ 雰囲気中で熱処理し、続いてSiのエピタキシャル成長を行い(図5A)、PETシートによる支持基板(図示せず)の貼着、剥離(図5B)等を行って薄膜半導体23を得る。

【0159】

この実施例においては、多孔質層12の表面側すなわち表面層12Sおよび中間多孔率層12Mの形成において、HF濃度を高めるものであるが、このように、電解溶液のHF濃度を高くすると多孔質層の多孔率は小さくなるという性質をもつので、この場合、多孔質層12の表面には、極めて微細な口径をもつ多孔質層が形成されることから、これの上にエピタキシャル成長されるエピタキシャル

半導体膜は、結晶性にすぐれた膜として形成される。

【0160】

そして、この場合、高多孔率層12Hの形成においては、その電解溶液のHF濃度が高いと、電流密度 $200\text{ mA/cm}^2$ 、3秒間程度の通電では、充分な多孔率が得られないが、この実施例においては、高多孔率層12Hの生成においては、電解溶液のHF濃度を低くするものであるため、充分多孔率の高い高多孔率層12Hを生成できる。

【0161】

〔実施例11〕

この実施例においても、多孔質層12の陽極化成において、電解溶液の濃度を変更するような場合である。

図6および図7を参照して説明する。

この実施例においても、高濃度にボロンBがドーピングされて比抵抗が $0.01 \sim 0.02\ \Omega\text{ cm}$ とされた単結晶Siによるウエファ状の半導体基体11を用意した(図6A)。

【0162】

そして、この実施例においても、図1で説明した2槽構造の陽極化成装置を用いて、第1の槽1Aに $\text{HF}:\text{C}_2\text{H}_5\text{OH}=2:1$ の電解溶液を注入し、第2の槽1Bに、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ の電解溶液を注入し、これらの電解溶液槽1Aおよび1BでSi基板をはさみ、それぞれの電解溶液槽1Aおよび1B内に電極として設置したPt電極3Aおよび3B間に電流を流した。

【0163】

まず、電流密度 $1\text{ mA/cm}^2$ で8分間通電した。これによって、多孔率が約14%で、厚さ約 $2.0\ \mu\text{m}$ の表面層12Sが形成された(図6B)。

一旦通電を停止し、 $7\text{ mA/cm}^2$ で6分間通電した。これによって、多孔率が約20%で、厚さ約 $6.4\ \mu\text{m}$ の第1の中間多孔率層12M<sub>1</sub>が形成された(図6C)。

【0164】

次に、第1の槽1Aの電解溶液の濃度を、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ に変化

させた。そして、再び、 $7\text{ mA/cm}^2$  で2分間通電した。このようにすると、多孔率約26%で、厚さ約 $1.7\text{ }\mu\text{m}$ の第2の中間多孔率層12M<sub>2</sub>が形成された(図6D)。

【0165】

その後、一旦通電を停止し、更に第1の槽1Aの電解溶液の濃度を、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1.5$ に変化させて、更に電解溶液の濃度を低めた。この状態で、電流密度を $200\text{ mA/cm}^2$ と高くして2秒間通電を行った。このようにすると、第2の中間多孔率層12M<sub>2</sub>内に、多孔率約60%、厚さ約 $0.5\text{ }\mu\text{m}$ の高多孔率層12Hが形成された(図6E)。このようにして、表面層12S、中間多孔率層12Mおよび高多孔率層12Hよりなる多孔質層12が形成された。

【0166】

その後は、実施例2および3等におけると同様の方法によって、常圧Siエピタキシャル成長装置によって基体11を $\text{H}_2$ 雰囲気中で熱処理し、続いてSiのエピタキシャル成長を行ってエピタキシャル半導体膜13を形成し(図7A)、エピタキシャル半導体13の半導体基体11からの剥離等を行った目的とする薄膜半導体23を得る(図7B)。この例においても、薄膜半導体23に附着された多孔質層をエッチングによって除去した。

【0167】

この実施例においては、第1および第2の中間多孔率層12M<sub>1</sub>および12M<sub>2</sub>を形成し、第2の中間多孔率層12M<sub>2</sub>の生成においては、電解溶液の濃度を低め、更に高多孔率層12Hの生成において電解溶液の濃度を低めたことから、表面層12Sから高多孔率層12Hに向かって多孔率を段階的に上げるようにしたことから、高多孔率層12Hによる歪の多孔質層12の表面への影響を効果的に緩和することができて、多孔質層12上にエピタキシャル成長されるエピタキシャル半導体膜13の結晶性をより高めることができる。

【0168】

また、高多孔率層12Hの陽極化成において、更に電解溶液の濃度を低めたことから、更にこの高多孔率層12Hの脆弱性を高めることができ、此处における



分離すなわち基体 11 からのエピタキシャル半導体膜 13 の剥離性を上げることができる。

【0169】

〔実施例 12〕

この実施例においては、エピタキシャル半導体膜、すなわち薄膜半導体が多層構造、この例では、 $p^+ - p^- - n^+$  構造とした場合である。

図 9 および図 10 は、この実施例の工程図を示す。

この実施例においても、高濃度にボロン B がドーピングされて、比抵抗例えば 0.01~0.02  $\Omega \cdot \text{cm}$  とされた単結晶 Si によるウエファ状の半導体基体 11 を用意した（図 9A）。

【0170】

そして、この場合においても、図 1 で説明した 2 槽構造の陽極化成装置を用いて、第 1 および第 2 の槽 1A および 1B に共に  $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$  の電解溶液を注入し、各電解溶液槽 1A および 1B の電解溶液中に浸漬配置した Pt 電極 3A および 3B 間に直流電源 2 によって電流を流した。

【0171】

まず、電流密度  $1 \text{ mA} / \text{cm}^2$  で 8 分間通電して表面層 12S を形成した（図 9B）。

一旦通電を止めた後、電流密度  $7 \text{ mA} / \text{cm}^2$  で 8 分間通電して中間多孔率層 12M を形成した（図 9C）。

更に、一旦通電を止めた後、 $200 \text{ mA} / \text{cm}^2$  を 3 秒間通電した。このようにすると、中間多孔率層 12M 内に高多孔率層 12H が形成された（図 9D）。このようにして、表面層 12S と、中間多孔率層 12M と、高多孔率層 12H とによる多孔質層 12 が形成される。

【0172】

このようにして、多孔質層 12 の形成して後は、実施例 2 で説明したと同様に、アニールを常圧 Si エピタキシャル成長装置内で  $\text{H}_2$  雰囲気中で行って多孔質層 12 の表面層 12S を滑らかにし、多孔質層 12 内部の中間多孔率層 12M と、高多孔率層 12H との界面付近における強度の脆弱化をはかる。

【0173】

その後、アニールを行った常圧Siエピタキシャル成長装置に、 $\text{SiH}_4$  ガスと $\text{B}_2\text{H}_6$  ガスとを用いたエピタキシャル成長を2分間行って、高濃度にボロンBをドーピングした $\text{p}^+$  Siによる第1のエピタキシャル半導体層131を形成した(図10A)。

【0174】

次に、 $\text{B}_2\text{H}_6$  ガスの流量を変更して、Siエピタキシャル成長を17分間行い、低濃度ボロンドープの $\text{p}^-$  Siによる第2のエピタキシャル半導体層132を形成した(図10B)。

【0175】

その後、 $\text{B}_2\text{H}_6$  ガスに換えて $\text{PH}_3$  ガスを供給して、 $\text{p}^-$  エピタキシャル半導体層132上に、高濃度リンドーピングのSiエピタキシャル成長を2分間行って $\text{n}^+$  Siによる第3のエピタキシャル半導体膜133を形成する(図10C)。

このようにして、第1～第3のエピタキシャル半導体層131～133よりなる $\text{p}^+ - \text{p}^- - \text{n}^+$  構造のエピタキシャル半導体膜13を構成する。

【0176】

その後は、上述した各実施例におけると同様に、エピタキシャル半導体層13の基体11からの剥離等を行って目的とする薄膜半導体23を得る(図10D)。この例においても、薄膜半導体23に付着された多孔質層をエッチングによって除去した。

この $\text{p}^+ - \text{n}^- - \text{p}^+$  3層構造による薄膜半導体23は、太陽電池を構成することができる。

【0177】

〔実施例13〕

この実施例においては、実施例12の製造方法において、エピタキシャル半導体膜13を、GaAsによるエピタキシャル半導体膜とする。

すなわち、この場合、図9A～図9Dの工程において、実施例12と同様の工程を採り、その後エピタキシャル半導体膜13のエピタキシャル成長において、MOCVD(有機金属化学的気相成長)法によって、TMGa(トリ・メチル・

ガリウム)と、 $\text{AsH}_3$ とを原料ガスとして用いて、常圧MOCVD装置によって基体温度 $720^\circ\text{C}$ 、1時間のヘテロエピタキシャル成長を行って膜厚約 $3\mu\text{m}$ のGaAsによるエピタキシャル半導体膜13を形成した。

【0178】

その後は、エピタキシャル半導体膜13の半導体基体11からの剥離を行い、エピタキシャル半導体膜13による薄膜半導体23を得た。

【0179】

〔実施例14〕

この実施例においては、太陽電池を製造する場合である。

図11～図14はその工程図を示す。

この実施例においても、実施例12と同様の方法によって $p^+ - p^- - n^+$ 3層構造によるエピタキシャル半導体膜を形成する。

すなわち、この実施例においても、高濃度にボロンBがドーピングされて、比抵抗が例えば $0.01 \sim 0.02\Omega\text{cm}$ とされた単結晶Siによるウエファ状の半導体基体11を用意した。

【0180】

そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用いて、第1および第2の槽1Aおよび1Bに共に $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ の電解溶液を注入し、各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0181】

まず、電流密度 $1\text{mA}/\text{cm}^2$ で8分間通電して表面層12Sを形成した(図11A)。

一旦通電を停止して後、電流密度 $7\text{mA}/\text{cm}^2$ で8分間通電して中間多孔率層12Mを形成した(図11B)。

更に、一旦通電を停止して後、 $200\text{mA}/\text{cm}^2$ を3秒間通電した。このようにすると、中間多孔率層12M内に高多孔率層12Hが形成された(図11C)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

## 【0182】

この多孔質層12の形成後、実施例2で説明したと同様の方法によって、常圧Siエピタキシャル成長装置内で $H_2$ 雰囲気中でのアニールを行う。このようにすると、多孔質層12の表面層12Sを滑らかとされ、また、多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度の脆弱化がなされる。

## 【0183】

その後、アニールを行った常圧Siエピタキシャル成長装置に、 $SiH_4$ ガスと $B_2H_6$ ガスとを用いたエピタキシャル成長を2分間行って、厚さ $0.5\mu m$ の、ボロンBが $10^{19}atoms/cm^3$ にドーピングされた $p^+$ Siによる第1のエピタキシャル半導体層131を形成し、次に、 $B_2H_6$ ガスの流量を変更して、Siエピタキシャル成長を17分間行って、厚さ $5\mu m$ の、ボロンBが $10^{16}atoms/cm^3$ にドーピングされた低濃度の $p^-$ Siによる第2のエピタキシャル半導体層132を形成し、更に $B_2H_6$ ガスに換えて $PH_3$ ガスを供給して、エピタキシャル成長を2分間行って、 $p^-$ エピタキシャル半導体層132上に、リンPが $10^{19}atoms/cm^3$ の高濃度にドーピングされた $n^+$ Siによる第3のエピタキシャル半導体層133を形成して、第1～第3のエピタキシャル半導体層131～133よりなる $p^+ - p^- - n^+$ 構造のエピタキシャル半導体膜13を形成した(図12A)。

## 【0184】

次に、この実施例においては、エピタキシャル半導体膜13上に表面熱酸化によって $SiO_2$ 膜すなわち透明の絶縁膜16を形成し、フォトリソグラフィによるパターンエッチングを行って電極ないしは配線とのコンタクトを行う開口16Wを形成する(図12B)。この開口16Wは、所要の間隔を保持して図においては紙面と直交する方向に延長するストライプ状に平行配列して形成することができる。このように形成した $SiO_2$ 膜により、界面でのキャリア発生や再結合を極力少なくすることが可能である。

## 【0185】

そして、全面的に金属膜の蒸着を行い、フォトリソグラフィによるパターンエ

ッチングを行って受光面側の電極ないしは配線17を、ストライプ状開口16Wに沿って形成する(図13A)。この電極ないしは配線17を形成する金属膜は、例えば厚さ30nmのTi膜、厚さ50nmのPd、厚さ100nmのAgを順次蒸着し、さらにこれの上にAgメッキを行うことによって形成した多層構造膜によって構成し得る。その後400℃で20~30分間のアニールを行った。

【0186】

一方、例えばフレキシブル樹脂シートよりなる透明基板18上に、所要の回路の配線19が形成されてなるフレキシブルプリント基板20を構成して置き、このプリント基板20を、絶縁膜16が形成されたエピタキシャル半導体膜13上に重ね合わせて、透明かつ絶縁性を有する接着剤21によって接着する。このとき、互いに接続されるべき配線19と電極ないしは配線17とが互いに衝合するようになされ、これら間に半田を介在させることによって、電気的接合がなされるようにする(図13B)。このとき、接着剤21の強度は、多孔質層の分離強度よりもやや強いものを使用した。

【0187】

その後、半導体基体11と、プリント基板20とを互いに引き離す外力を与える。このようにすると、多孔質層12の脆弱な高多孔率層12Hもしくはその近傍で半導体基体11と、エピタキシャル半導体膜13とが分離され、プリント基板20上に、エピタキシャル半導体膜13が接合された薄膜半導体23が得られる(図14A)。

【0188】

この場合、薄膜半導体23の裏面には、多孔質層12が残存するが、これの上に銀ペーストを塗布し、更に金属板を接合して他方の裏面電極24を構成する。このようにして、プリント基板20に $p^+ - p^- - n^+$ 構造の薄膜半導体23が形成された太陽電池が構成される(図14B)。そして、この場合、金属電極24は、太陽電池裏面の素子層保護膜としても機能する。

【0189】

尚、上述の実施例14においては、フレキシブルプリント基板に、同様にフレキシブル構成とし得る太陽電池を一体化した構成とした場合であるが、ガラス基

板等の剛性を有する基板に太陽電池を一体化した構成とすることもできる。

【0190】

次に、薄膜半導体もしくは太陽電池を製造方法において、その多孔質層の特に分離層となる高多孔率層を形成する陽極化成条件を変更した場合の実施例を挙げる。

【0191】

〔実施例15〕

図15および図16の工程図を参照して説明する。

この場合においても、実施例6と同様に、ボロンBがドーブされた比抵抗が0.01~0.02Ωcmの単結晶Siによる半導体基体11を用意する(図15A)。

【0192】

半導体基体11に対して、図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各層1Aおよび1Bに電解溶液として $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を注入した。各層1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0193】

まず、電流密度 $1\text{mA}/\text{cm}^2$ 、8分間通電した。このようにして低多孔率の表面層12Sを形成した(図15B)。

一旦通電を停止した後、 $7\text{mA}/\text{cm}^2$ 、8分間通電した。このようにして中間多孔率層12Mを形成した(図15C)。

更に、一旦通電を停止した後、この実施例においては、 $90\text{mA}/\text{cm}^2$ 、5秒間の通電を行った。このようにすると、中間多孔率層12M内に高多孔率層12Hが生成された(図15D)。その後、 $7\text{mA}/\text{cm}^2$ 、8分間の通電を行った。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hよりなる多孔質層12が形成される。

【0194】

その後、実施例2おけると同様のアニールを行い、多孔質層12上にSiのエピタキシャル成長を17分行って厚さ約 $5\mu\text{m}$ の単結晶Siによるエピタキシャ

ル半導体膜13を形成した(図16A)。

【0195】

そして、エピタキシャル半導体膜13と、半導体基体11とに、互いに引き離す方向の外力を与える。このようにするとエピタキシャル半導体膜13が、多孔質層12の高多孔率層12Hもしくはその近傍で分離されて、薄膜半導体23が得られる(図16B)。

【0196】

〔実施例16〕

図17の工程図を参照して説明する。

この場合においても、実施例6と同様に、ボロンBがドーパされた比抵抗が0.01~0.02Ωcmの単結晶Siによる半導体基体11を用意する(図17A)。

【0197】

半導体基体11に対して、図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各層1Aおよび1Bに電解溶液として $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を注入した。各層1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0198】

まず、電流密度 $1\text{mA}/\text{cm}^2$ 、8分間通電した。このようにして低多孔率の表面層12Sを形成した(図17B)。

一旦通電を停止した後、 $7\text{mA}/\text{cm}^2$ 、8分間通電した。このようにして中間多孔率層12Mを形成した(図17C)。

更に、一旦通電を停止した後、この実施例においては、 $30\text{mA}/\text{cm}^2$ 、15秒間の通電を行った。このようにすると、中間多孔率層12M下に高多孔率層12Hが生成された(図17D)。その後、 $7\text{mA}/\text{cm}^2$ 、8分間の通電を行った。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hよりなる多孔質層12が形成される。

【0199】

その後、実施例2おけると同様のアニールを行い、多孔質層12上にSiのエ

ピタキシャル成長を17分行って厚さ約5 $\mu$ mの単結晶Siによるエピタキシャル半導体膜13を形成した(図17E)。

【0200】

そして、エピタキシャル半導体膜13と、半導体基体11とに、互いに引き離す方向の外力を与えた。しかしながら、この場合、必ずしもシャル半導体膜13が、半導体基体11から必ずしも良好に分離できにくい場合が生じた。

【0201】

【実施例17】

図18の工程図を参照して説明する。

この場合においても、実施例6と同様に、ボロンBがドーブされた比抵抗が0.01~0.02 $\Omega$ cmの単結晶Siによる半導体基体11を用意する(図18A)。

【0202】

半導体基体11に対して、図1で説明した2槽構造の陽極化成装置を用い、第1および第2の各層1Aおよび1Bに電解溶液としてHF:C<sub>2</sub>H<sub>5</sub>OH=1:1を注入した。各層1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0203】

まず、電流密度1mA/cm<sup>2</sup>、8分間通電した。このようにして低多孔率の表面層12Sを形成した(図18B)。

一旦通電を停止した後、7mA/cm<sup>2</sup>、8分間通電した。このようにして中間多孔率層12Mを形成した(図18C)。

更に、一旦通電を停止した後、この実施例においては、80mA/cm<sup>2</sup>、5秒間の通電を行った。このようにすると、中間多孔率層12M内と、中間多孔率層12M下すなわち半導体基体11との界面とにそれぞれ高多孔率層12Hが生成された(図18D)。その後、7mA/cm<sup>2</sup>、8分間の通電を行った。このようにして、表面層12S-中間多孔率層12M-高多孔率層12H-中間多孔率層12M-高多孔率層12Hよりなる多孔質層12が形成される。

【0204】



その後、実施例2おけると同様のアニールを行い、多孔質層12上にSiのエピタキシャル成長を17分行って厚さ約5 $\mu$ mの単結晶Siによるエピタキシャル半導体膜13を形成した(図18E)。

【0205】

そして、エピタキシャル半導体膜13と、半導体基体11とに、互いに引き離す方向の外力を与える。このようにするとエピタキシャル半導体膜13が、多孔質層12のいずれかの高多孔率層12Hで分離されて、エピタキシャル半導体膜13による薄膜半導体が得られた。

【0206】

上述したように、実施例6(図8)、実施例15(図15および図16)、実施例16(図17)、実施例17(図18)、更に実施例5(図8)を比較して明らかなように、高多孔率層12Hの生成において、その陽極化成の通電量の選定、更にその通電態様によって高多孔率層12Hの形成位置が変化する。例えば陽極化成の電解溶液を、 $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ とする場合において、 $40\sim70\text{mA}/\text{cm}^2$ 程度とするときは、その通電時間の選定によって、高多孔率層12Hを、多孔質層の最下層すなわち半導体基体11の多孔質層が生成されていない界面に形成することができ、 $90\text{mA}/\text{cm}^2$ 以上の高電流範囲の例えば $300\text{mA}/\text{cm}^2$ 程度以下では、上記界面より表面側の中間多孔率層12M内に形成することができた。そして、高電流範囲においても、この通電を間欠的に短時間通電するときは、中間多孔率層12M内に形成することができる。そしてこの高多孔率層の形成位置の選定は、再現性良く設計どおりに行うことができるものであることを確認した。

【0207】

更に、本発明による太陽電池の製造方法の実施例を説明する。

【実施例18】

この実施例においては、受光面側電極からの端子導出、すなわち導電線の導出を、容易に行うことができるようにしたものである。

図11、図12、図19を参照して説明する。

この実施例においても、実施例14の図11A～C、図12AおよびB、図1

3Aで説明したと同様の工程を採った。また、この実施例においても、実施例12と同様の方法によって $p^+ - p^- - n^+$ 3層構造によるエピタキシャル半導体膜を形成する。

すなわち、高濃度にボロンBがドーピングされて、比抵抗が例えば $0.01 \sim 0.02 \Omega \text{ cm}$ とされた単結晶Siによるウエファ状の半導体基体11を用意した。

【0208】

そして、この場合においても、図1で説明した2槽構造の陽極化成装置を用いて、第1および第2の槽1Aおよび1Bに共に $\text{HF} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$ の電解溶液を注入し、各電解溶液槽1Aおよび1Bの電解溶液中に浸漬配置したPt電極3Aおよび3B間に直流電源2によって電流を流した。

【0209】

まず、電流密度 $1 \text{ mA/cm}^2$ で8分間通電して表面層12Sを形成した(図11A)。

一旦通電を停止して後、電流密度 $7 \text{ mA/cm}^2$ で8分間通電して中間多孔率層12Mを形成した(図11B)。

更に、一旦通電を停止して後、 $200 \text{ mA/cm}^2$ を3秒間通電した。このようにすると、中間多孔率層12M内に高多孔率層12Hが形成された(図11C)。このようにして、表面層12Sと、中間多孔率層12Mと、高多孔率層12Hとによる多孔質層12が形成される。

【0210】

この多孔質層12の形成後、実施例2で説明したと同様の方法によって、常圧Siエピタキシャル成長装置内で $\text{H}_2$ 雰囲気中でのアニールを行う。このようにすると、多孔質層12の表面層12Sを滑らかとされ、また、多孔質層12内部の中間多孔率層12Mと、高多孔率層12Hとの界面付近における強度の脆弱化がなされる。

【0211】

その後、アニールを行った常圧Siエピタキシャル成長装置に、 $\text{SiH}_4$ ガスと $\text{B}_2\text{H}_6$ ガスをを用いたエピタキシャル成長を2分間行って、厚さ $0.5 \mu\text{m}$ の、ボロンBが $10^{19} \text{ atoms/cm}^3$ にドーピングされた $p^+$ Siによる第1のエピタキ

シャル半導体層131を形成し、次に、 $B_2H_6$  ガスの流量を変更して、Siエピタキシャル成長を17分間行って、厚さ5 $\mu$ mの、ボロンBが $10^{16}$ atoms/cm<sup>3</sup>にドーピングされた低濃度のp<sup>-</sup>Siによる第2のエピタキシャル半導体層132を形成し、更に $B_2H_6$  ガスに換えてPH<sub>3</sub> ガスを供給して、エピタキシャル成長を2分間行って、p<sup>-</sup>エピタキシャル半導体膜132上に、リンPが $10^{19}$ atoms/cm<sup>3</sup>の高濃度にドーピングされたn<sup>+</sup>Siによる第3のエピタキシャル半導体層133を形成して、第1～第3のエピタキシャル半導体層131～133よりなるp<sup>+</sup>-p<sup>-</sup>-n<sup>+</sup>構造のエピタキシャル半導体膜13を形成した(図12A)。

# 【0212】

次に、この実施例においては、エピタキシャル半導体膜13上に表面熱酸化によってSiO<sub>2</sub>膜すなわち透明の絶縁膜16を形成し、フォトリソグラフィによるパターンエッチングを行って電極ないしは配線とのコンタクトを行う開口16Wを形成する(図12B)。この開口16Wは、所要の間隔を保持して図において紙面と直交する方向に延びるストライプ状に平行配列して形成することができる。このように形成したSiO<sub>2</sub>膜により、界面でのキャリア発生や再結合を極力少なくすることが可能である。

# 【0213】

そして、全面的に金属膜の蒸着を行い、フォトリソグラフィによるパターンエッチングを行って所要のパターン、この例では、ストライプ状の開口16Wに沿ってストライプ状の電極ないしは配線17を形成する(図13A、図19A)。この電極ないしは配線17を形成する金属膜は、例えば厚さ30nmのTi膜、厚さ50nmのPd、厚さ100nmのAgを順次蒸着し、さらにこれの上にAgメッキを行って形成した多層構造膜によって構成し得る。その後、400℃で20～30分間のアニールを行った。

# 【0214】

次に、この実施例においては、ストライプ状の電極ないしは配線17上に、それぞれこれらに沿って導電線41、この実施例では金属ワイヤを接合し、これの上に透明の接着剤21によって、透明基板42を接合する(図19B)。電極な

いしは配線 17 への導電性 41 の接合は、半田付けによることができる。そして、これら導電線 41 は、その一端もしくは他端を、電極ないしは配線 17 よりそれぞれ長くして外方に導出する。

【0215】

その後、半導体基体 11 と透明基板 42 とに、互いに引き離す外力を与える。このようにすると、多孔質層 12 の脆弱な高多孔率層 12H もしくはその近傍で半導体基体 11 と、エピタキシャル半導体膜 13 とが分離され、透明基板 42 上に、エピタキシャル半導体膜 13 が接合された薄膜半導体 23 が得られる（図 20A）。

【0216】

この場合、薄膜半導体 23 の裏面には、多孔質層 12 が残存するが、これの上に銀ペーストを塗布し、更に金属板を接合して他方の裏面電極 24 を構成する。このようにして、プリント基板 20 に  $p^+ - p^- - n^+$  構造の薄膜半導体 23 が形成された太陽電池が構成される（図 20B）。この金属電極 24 は、太陽電池裏面の素子層保護膜としても機能する。

【0217】

このようにして形成した太陽電池は、受光側電極ないしは配線 17 が、透明基板 42 によって覆われているにもかかわらず、これからの電気的外部導出が導電線 41 によってなされていることから、外部との電気的接続が容易になされる。また、例えば上述の実施例におけるように、エピタキシャル半導体膜 13 に対し、すなわち太陽電池の活性部に対しそれぞれコンタクトされた複数の各電極ないしは配線 17 からそれぞれ導電線 41 の導出を行うようにしたことから、太陽電池の直列抵抗を充分小とすることができる。

【0218】

また、このように導電線 41 を外部に導出したことから、複数の太陽電池を相互に接続する場合、この接続を容易に行うことができる。次に、共通の基板に複数の太陽電池を相互に接続して配列形成する場合の実施例を説明する。

【0219】

## 〔実施例 19〕

図 21 および図 22 にこの実施例の工程図を示すが、実施例 18 の図 19 B の工程までは実施例 18 と同様の工程を採ることから、この工程までの実施例 18 と重複する工程の説明を省略する。図 21 および図 22 において、図 19 および図 20 と対応する部分には同一符号を付して重複説明を省略する。

## 【0220】

しかしながら、この実施例においては、それぞれ図 19 B で示したと同様の、表面に多孔質層 12 が形成され、これの上に  $p^+ - p^- - n^+$  構造のエピタキシャル半導体膜 13 が形成され、これの所定部に電極ないしは配線 17 がコンタクトされ、これに導電線 41 が接合された半導体基体 11 を複数個用意し、これらを、それぞれ透明接着 21 によって共通の透明基板 42 に接着する。この場合においても、各半導体基体 11 から複数の導電線 41 の端部が外部に導出される（図 21 A）。

## 【0221】

その後、各半導体基体 11 と共通の透明基板 42 とに、互いに引き離す方向の外力を与える。このようにすると、多孔質層 12 の脆弱な高多孔率層 12 H もしくはその近傍で半導体基体 11 と、エピタキシャル半導体膜 13 とが分離され、共通の透明基板 42 上に、それぞれエピタキシャル半導体膜 13 による薄膜半導体 23 が配列形成される（図 21 B）。

## 【0222】

これら薄膜半導体 23 の各裏面には、多孔質層 12 が残存するが、これの上に銀ペーストを塗布し、更に金属板を接合して他方の裏面電極 24 を構成する。このようにして、共通の透明基板 42 上に、それぞれ  $p^+ - p^- - n^+$  構造の薄膜半導体 23 によって太陽電池の活性部が形成され、受光面側電極ないしは配線 17 が形成され、裏面に電極 24 が形成された複数の太陽電池素子 S が配列形成される（図 21 C）。

## 【0223】

そして、所要の電極 24 に、導電線 41 の一端を半田付けし、各太陽電池素子間に樹脂等の絶縁材 43 を充填して相互の絶縁を図る（図 22 A）。この場合、

絶縁材 4 3 外に相互に接続すべき太陽電池素子 S の受光面側の導電線 4 1 の遊端を外部に導出し、この遊端を例えば隣り合う太陽電池素子 S の裏面電極 2 4 に半田付け等によって接続する。

#### 【0224】

複数の相互に連結された太陽電池素子 S の、最前段と最終段の各導電線 4 1 の遊端を外部に導出し、かつ透明基板 4 2 側を外部に露呈して、各太陽電池 S を覆って保護絶縁層 4 4 を、樹脂モールド等によって被覆する。このようにして複数の太陽電池素子 S が共通の透明基板 4 2 上に配列され、相互に直列接続された太陽電池を構成する（図 2 2 B）。この太陽電池に対する太陽光等の入射光は、いうまでもなく透明基板 4 2 側からなされる。

#### 【0225】

尚、上述した各例において、導電線 4 1 は、金属ワイヤに限られるものではなく、例えば帯状金属線等によって構成することもできる。

#### 【0226】

また、透明基板 4 2 は、ガラス基板等の剛性を有する基板によって構成することもできるし、樹脂シートによるフレキシブル基板によって構成することもできる。このようにフレキシブル基板によって構成する場合は、太陽電池全体をフレキシブルに構成することができる。

#### 【0227】

このようにして、太陽電池の製造を行う場合、その受光面に透明基板が配置されているにも係わらず、導電線の導出を、各電極 1 7 からそれぞれ導出することができるので、直列抵抗の低減化をはかることができるものであり、またその導電線の接続は、薄膜太陽電池として分離される前の、半導体基板 1 1 上に形成された状態の機械的に強固で、かつ安定した状態でなされるので、确实、容易に量産的に行うことができ、またこのように、導電線の導出により、複数の太陽電池を相互に容易に接続することができる。

#### 【0228】

図 2 1 および図 2 2 においては、2 つの太陽電池素子 S のみを示したが 2 以上配列接続できることはいうまでもない。

【0229】

また、太陽電池においてその薄膜半導体の裏面に多孔質層12が残っている場合、この多孔質層12は、半導体基体11が高不純物濃度である場合、これも高不純物濃度であることから光起電力を吸収する不都合がある場合は、これを例えばエッチングによって除去することができる。

次に、本発明による発光素子の製造方法の実施例を説明する。

【0230】

〔実施例20〕

図25～図28を参照して説明する。

この実施例においては、p型のSi単結晶半導体基体11を用意した（図25A）。

その一主面にn型の不純物のリンを拡散してn型半導体層101を形成した（図25B）。

【0231】

図1の陽極化成装置を用いて、光照射の下で、 $50\text{ mA/cm}^2$ 、30分間の通電を行って陽極化成を行って、半導体層101の表面に、多孔率が比較的高い第1の高多孔率層12H<sub>1</sub>を形成した（図25C）。

次に、光照射を行うことなく、 $7\text{ mA/cm}^2$ 、10分間の通電による陽極化成を行って中間多孔率12Mを半導体層101を横切る深さに形成した（図25D）。

次に、同様に光照射することなく、 $200\text{ mA/cm}^2$ 、7秒間の陽極化成を行って分離層となる第2の高多孔率層12H<sub>2</sub>を中間多孔率層12M内に形成した（図25E）。

【0232】

表面の高多孔率層12H<sub>1</sub>上に、例えば図26において紙面と直交する方向に延在するストライプ状の電極102を例えばAu蒸着によって平行に配列形成した（図26A）。

基体11の電極102を形成した面に、透明の接着剤103を塗布し（図26B）、透明基板104を貼着する（図26C）。

## 【0233】

次に、第2の高多孔率層12H<sub>2</sub>を分離層として、半導体基体11の透明基板104が接合された表面側を、基体11から分離して発光素子基板111を構成する(図26D)。このようにして構成された基板111は、p型半導体基体11の多孔質化による中間多孔率層12Mによって形成されたp型の半導体層105と、これの上に形成されたn型の半導体層101の表面に形成されたp型の高多孔率層12H<sub>1</sub>によるp-n接合を有する。

## 【0234】

基板111の裏面(分離面)に、ストライプ状の電極102と対向して同様に例えばAu蒸着層によるストライプ状の裏面の電極106を形成する(図27A)。

基板111の電極106の形成面に透明の接着剤103を塗布し(図27B)、透明基板104を接合する(図27C)。

基板111を、例えば各対向電極102および106毎に分断し(図28A)、目的とする発光素子107を得る(図28B)。

このようにして構成した発光素子いわゆるELは、図28Bに矢印で示すように、発光がなされるが、その主たる発光部は、高多孔率層12H<sub>1</sub>となり、その発光効率が高い。これはその活性層が、充分薄く形成される高多孔率層12H<sub>1</sub>によって超格子構造が構成されることによる。

上述の実施例においては、半導体層101を不純物の拡散によって形成した場合であるが、これを不純物のイオン注入によるか、エビタキシャル成長半導体層によって構成するとか固相成長、CVD(化学的気相成長)等によって形成することもできる。

また、半導体層101は全面的に形成する場合に限らず、選択的拡散、イオン注入等によって所定部分に形成することもできる。また半導体基体11は、n型とすることもでき、高抵抗基体を用いることによって発光効率を高めることができる。

また、基板111を酸素雰囲気中で熱酸化してから分離するときは、発光波長のブルーシフトを行うことができる。



## 【0235】

尚、上述した各例においては半導体膜3の半導体基体11からの剥離を、互いに引き離す外力を与えて剥離した場合であるが、或る場合は超音波振動によって剥離することができる。

## 【0236】

上述した各例において陽極化成において、大電流通電、長時間通電等によって半導体例えばSiの基体側からの剥離が生じ、このSiくずが電解液槽に付着する場合がある。この場合は、基体11をとり出して後、電解液に換えて槽内にフッ硝酸を注入することによって不要なSi等の半導体くずをエッチング除去することができる。

また、陽極化成を行う装置としては、図2の例に限らず、単槽構造において半導体基体を浸漬させる装置を用いることができる。

## 【0237】

上述した本発明製造方法によれば、半導体基体は、表面に多孔質層を形成し、これの上に半導体のエピタキシャル成長を行って、これを剥離するので半導体基体は多孔質化された厚さだけが消耗されるものであるが、上述したエピタキシャル半導体膜の形成および剥離の後には、半導体基体表面を研磨することによって、再び多孔質層の形成、エピタキシャル半導体膜の形成、剥離を繰り返すことができ、その繰り返し使用が可能であることから、安価に製造できる。また、半導体基体の繰り返し使用によって、これが薄くなった場合には、この半導体基体自体によって薄膜半導体として用いることができ、例えば太陽電池の製造もできるものである。したがって、半導体基体は、最終的に無効となることなく、殆ど無駄なく使用ができることから、これによってもコストの低減化をはかることができる。

## 【0238】

また、薄膜半導体、太陽電池を製造することによって厚さが減少した半導体基体に対し、この減少した厚さに見合った厚さの半導体のエピタキシャル成長を行って、上述した薄膜太陽電池の製造を繰返し行うようにすることによって、永久的に同一の半導体基体の使用が可能となるので、更に低コスト、低エネルギーで

太陽電池を製造することができる。

【0239】

また、本発明製造方法によれば、エピタキシャル半導体膜上にプリント基板などの支持基板を接合して基板とエピタキシャル半導体膜とを一体化させた後、基板をエピタキシャル半導体膜と共に、半導体基体から剥離する方法を採ることができるので、この基板の種類には制限はなく、金属板、セラミック、ガラス、樹脂等、従来からの半導体技術の常識では到底考えられなかったような基板上に薄膜単結晶形成するとか、太陽電池を形成できる。

【0240】

また、単に単一多孔率を有する多孔質層上に半導体層をエピタキシャル成長させる方法にする場合は、その半導体膜の結晶性を良好にするには、結晶成長の核となる多孔質層の多孔率を小さくする必要があることから、陽極化成に当たって、電流密度を低くして、電解溶液のHF混合比を多くする必要がある。ところが、このように、多孔率を低くすると、多孔質層が硬くなり、エピタキシャル半導体膜の分離が難しくなる。そこで、分離強度を弱くするために多孔率を上げようと、例えば陽極化成の条件のうち、電流密度を高くして、電解溶液のHF混合比を少なくすると、この場合は分離は容易になるが、エピタキシャル半導体膜の結晶性が極端に悪くなる。ところが前述したようには、多孔質層の表面部分の多孔率を小さくして、多孔質層内部の多孔率が大きいという2面性の性質をもつ多孔質層を形成することにより、多孔質層上にエピタキシャル半導体膜を良好に形成でき、しかも、エピタキシャル半導体膜を容易に分離できる。例えば、超音波により容易に分離させることができる程度の弱い多孔質層を形成することも可能である。

【0241】

また、多孔質層に形成する高多孔率層は、多孔率が大きいほど剥離が容易になるが、歪みが大きく、その影響が多孔質層の表面層にまで及ぼしてしまう。このため、表面層に亀裂が生じることもある。また、エピタキシャル成長を行う際、エピタキシャル半導体膜に欠陥を生じさせる原因となる。これに対し、前述したように、多孔率の非常に高い層と多孔率の低い表面層との間に、これらの層から

発生する歪みを緩和するバッファー層として、表面層よりやや多孔率の高い中間多孔率層を形成することにより、剥離が容易で良質のエピタキシャル半導体膜を形成できる。

【0242】

また、本発明によれば高電流密度での陽極化成において、電流を間欠的に流すことにより、多孔質層に高多孔率層を半導体基板側界面またはその近傍に形成することができるため、表面と剥離層となる高多孔質層とを最大限に離間させることができ、そのためバッファー層を薄くでき、その分多孔質層の厚さを減らし、半導体基体の厚さ減方向の消費を少なくすることができ、コストを更に低下させることが可能となる。

【0243】

また、本発明方法において、低電流密度での陽極化成において、電流を漸次増大させることにより、多孔質層の表面層と剥離層との間のバッファー層の多孔率を内部に行くに従い漸次増大させるように形成するときは、バッファー層の機能を更に良好にすることができる。

【0244】

また、陽極化成を、フッ化水素とエタノールを含有する電解溶液、あるいは、フッ化水素とメタノールの混合液中で行うことにより、多孔質層を容易に形成することができる。この場合、陽極化成の電流密度を変える際に、この電解溶液の組成も変えることにより、多孔率の調整範囲が更に大きくなる。

【0245】

また、陽極化成中に光を照射することによる、多孔質層の表面の凹凸の発生が著しくなり、エピタキシャル半導体膜の結晶性が悪くなるが本発明においては、陽極化成を暗所で行うことにより、この凹凸を軽減ないしは回避できて、良好な結晶性を有するエピタキシャル半導体膜を形成することができる。

【0246】

また、多孔質層を形成した後、水素ガス雰囲気中で加熱することにより、多孔質層の表面層の表面はなめらかになり、良好な結晶性を有するエピタキシャル半導体膜を形成することができた。

また、多孔質層を形成した後、水素ガス雰囲気中での加熱工程の前に、多孔質層を熱酸化することにより、多孔質層の内部が酸化されるので、次工程の水素中アニールを施しても、多孔質層には大きな構造変化が生じ難くなり、多孔質層の表面に内部からの歪みが伝わり難くなるため、結晶性の良好なエピタキシャル半導体膜を形成することができる。

【0247】

更に、半導体基体として、シリコンの単結晶を用いることにより、太陽電池に用いる単結晶シリコン薄板を製造することができる。更に、半導体基体として、ホウ素を高濃度にドーブしたものは、陽極化成時に、結晶状態を維持したまま多孔質化がなされるので、良質のエピタキシャル半導体膜を形成できる。

【0248】

また、本発明製造方法によれば、多孔質層の表面に2層以上の半導体層をエピタキシャル成長させて、例えば太陽電池などを容易に製造することができる。

【0249】

また、例えば太陽電池を製造する場合において、この複層エピタキシャル半導体膜の表面に絶縁膜を形成し、更にその上に電極を形成することにより、エピタキシャル半導体膜との界面でのキャリア発生や再結合を極力少なくしつつ、エピタキシャル半導体膜から電流を取り出すことができる。

【0250】

また、本発明方法によれば太陽電池の電極面に透明プリント基板を接着することにより、太陽電池用の回路の配線を施した基板と太陽電池とを一体化することができ、従来からの半導体技術の領域では到底考えられなかったようなプリント基板と薄膜単結晶太陽電池との一体化を容易にできる。

【0251】

また本発明によって製造された太陽電池は、例えば単結晶Siをエピタキシャル半導体膜として薄く、すなわちフレキシブルに形成できるので、支持基板等の選定によって或る程度柔軟性を有する太陽電池とすることができる。そのため、ガラス表面に形成した太陽電池付き窓ガラスや、ソーラーカーの屋根などに設置することが可能である。

【0252】

また、光電変換効率に優れた単結晶であるため、単位面積当たりの発電量が従来のアモルファスシリコンより優れている。しかも、低エネルギーで製造されているので、エネルギー回収年数も大幅に短縮することができる。

【0253】

【発明の効果】

上述した本発明の薄膜半導体の製造方法によれば、大面積の結晶性にすぐれた薄膜半導体を容易にかつ安価に製造することができる。

また、本発明の太陽電池に製造方法によれば、大面積の結晶性にすぐれ、かつ充分日井、したがって高効率の太陽電池を安価に製造することができる。そしてこのようにコストの低廉化によってエネルギー回収年数の短縮化がなされる。

【図面の簡単な説明】

【図1】

本発明方法を実施する陽極化成装置の一例の構成図である。

【図2】

本発明方法の一実施例の工程図（その1）である。

A～Cは、その各工程の断面図である。

【図3】

本発明方法の一実施例の工程図（その2）である。

A～Dは、その各工程の断面図である。

【図4】

本発明方法の他の実施例の工程図（その1）である。

A～Cは、その各工程の断面図である。

【図5】

本発明方法の他の実施例の工程図（その2）である。

AおよびBは、その各工程の断面図である。

【図6】

本発明方法の他の実施例の工程図（その1）である。

A～Eは、その各工程の断面図である。

【図 7】

本発明方法の他の実施例の工程図（その 2）である。

A および B は、その各工程の断面図である。

【図 8】

本発明方法の他の実施例の工程図である。

A～F は、その各工程の断面図である。

【図 9】

本発明方法の他の実施例の工程図（その 1）である。

A～D は、その各工程の断面図である。

【図 10】

本発明方法の他の実施例の工程図（その 2）である。

A～D は、その各工程の断面図である。

【図 11】

本発明方法の他の実施例の工程図（その 1）である。

A および B は、その各工程の断面図である。

【図 12】

本発明方法の他の実施例の工程図（その 2）である。

A および B は、その各工程の断面図である。

【図 13】

本発明方法の他の実施例の工程図（その 3）である。

A および B は、その各工程の断面図である。

【図 14】

本発明方法の他の実施例の工程図（その 4）である。

A および B は、その各工程の断面図である。

【図 15】

本発明方法の他の実施例の工程図（その 1）である。

A～D は、その各工程の断面図である。

【図 16】

本発明方法の他の実施例の工程図（その 2）である。

AおよびBは、その各工程の断面図である。

【図17】

本発明方法の他の実施例の工程図である。

A～Eは、その各工程の断面図である。

【図18】

本発明方法の他の実施例の工程図である。

A～Eは、その各工程の断面図である。

【図19】

本発明方法の他の実施例の工程図（その1）である。

AおよびBは、その各工程の断面図である。

【図20】

本発明方法の他の実施例の工程図（その2）である。

AおよびBは、その各工程の断面図である。

【図21】

本発明方法の他の実施例の工程図（その1）である。

A～Cは、その各工程の断面図である。

【図22】

本発明方法の他の実施例の工程図（その2）である。

AおよびBは、その各工程の断面図である。

【図23】

本発明方法における多孔質層の加熱処理前の要部の顕微鏡写真の模式図である。

【図24】

本発明方法における多孔質層の加熱処理後の要部の顕微鏡写真の模式図である。

【図25】

本発明方法の他の実施例の工程図（その1）である。

A～Eは、それぞれその各工程の断面図である。

【図26】

本発明方法の他の実施例の工程図（その2）である。

A～Dは、それぞれその各工程の断面図である。

【図27】

本発明方法の他の実施例の工程図（その3）である。

A～Cは、それぞれその各工程の断面図である。

【図28】

本発明方法の他の実施例の工程図（その4）である。

AおよびBは、それぞれその各工程の断面図である。

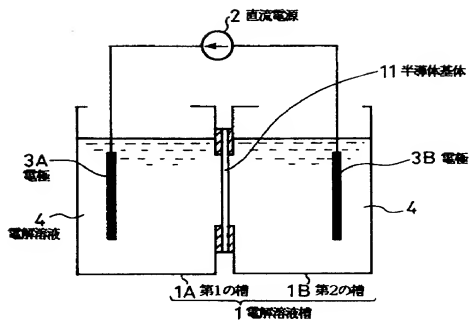
【符号の説明】

11 半導体基体、12 多孔質層、12M, 12M<sub>1</sub>, 12M<sub>2</sub> 中間多孔率層、12H 高多孔率層、12H<sub>1</sub> 第1の高多孔率層、12H<sub>2</sub> 第2の高多孔率層、13 半導体膜、131 第1の半導体膜、132 第2の半導体膜、133 第3の半導体膜、14, 103 接着剤、15 支持基板、16 絶縁膜、16W 開口、23 薄膜半導体、17 電極ないしは配線、18 透明基板、19 配線、20 プリント基板、21 接着剤、23 薄膜半導体、24 電極、41 導電線、42 透明基板、43 絶縁材、44 保護絶縁層、101, 105 半導体層、102, 106 電極、107 発光素子

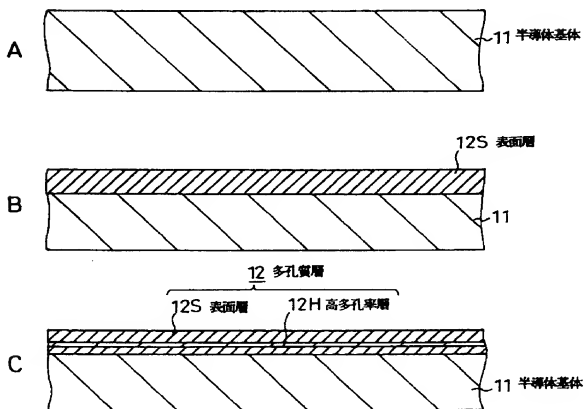


【書類名】 図面

【図 1】

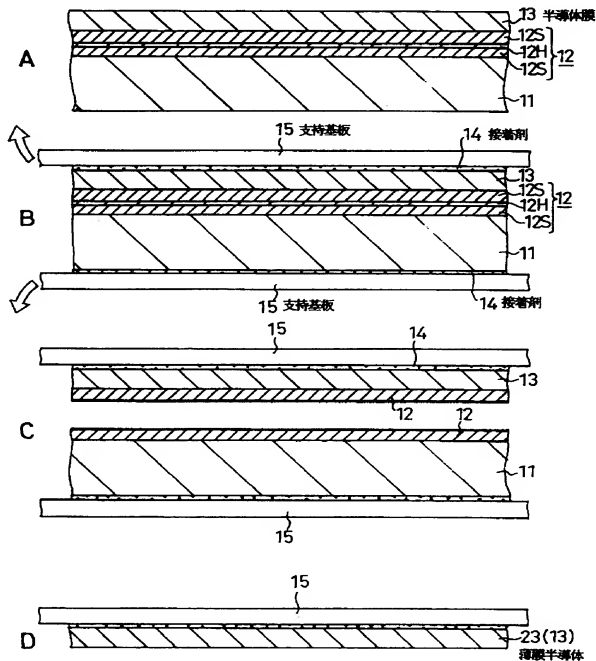


【図 2】



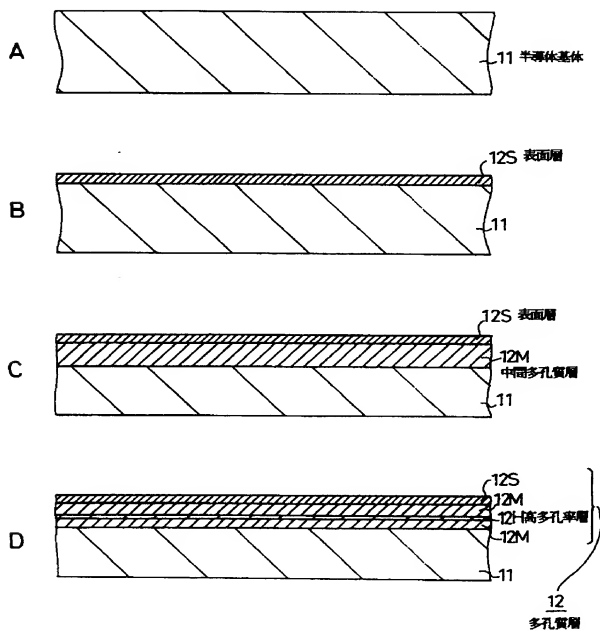
工程図(その 1)

【図3】



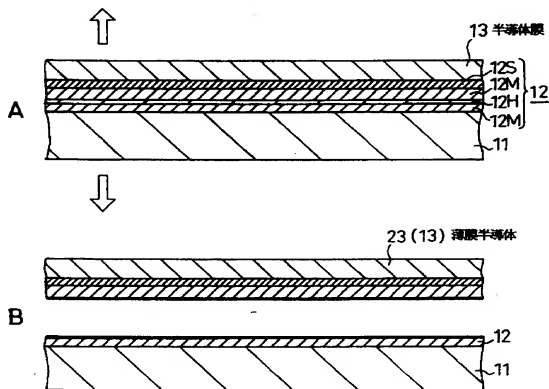
工程図(その2)

【図4】



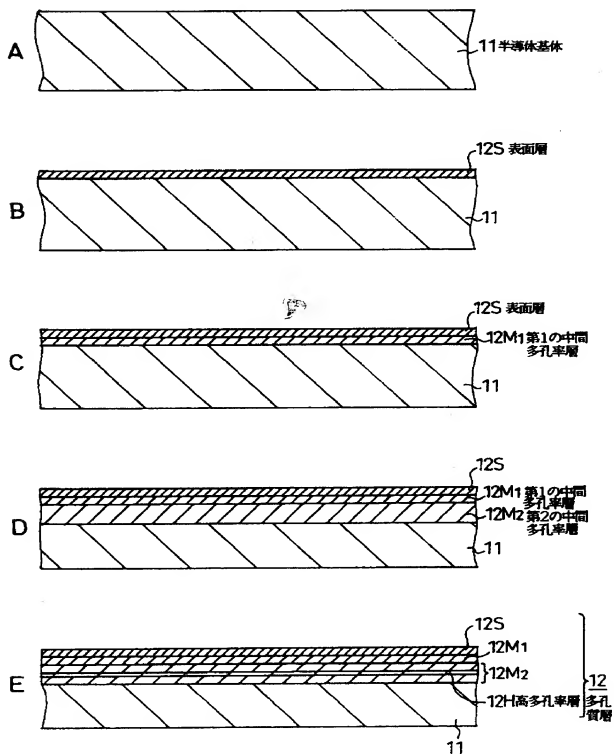
工程図(その1)

【図5】



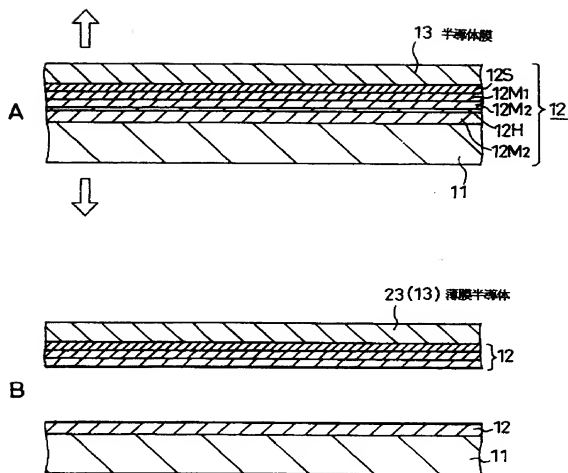
工程図(その2)

【図6】



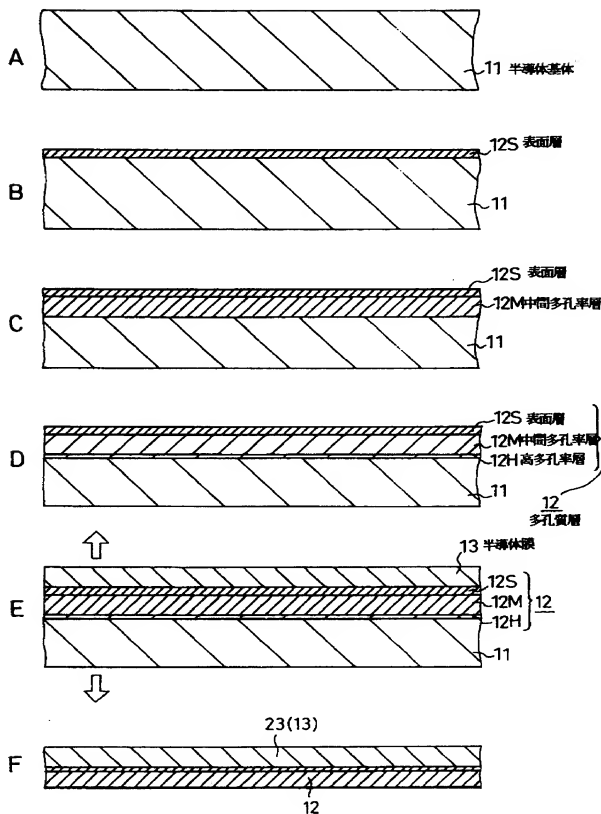
工程図(その1)

【図7】



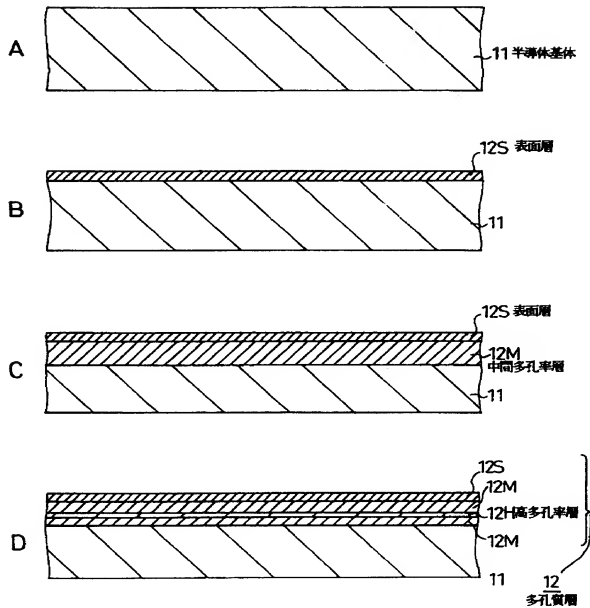
工程図(その2)

【图8】



工程図

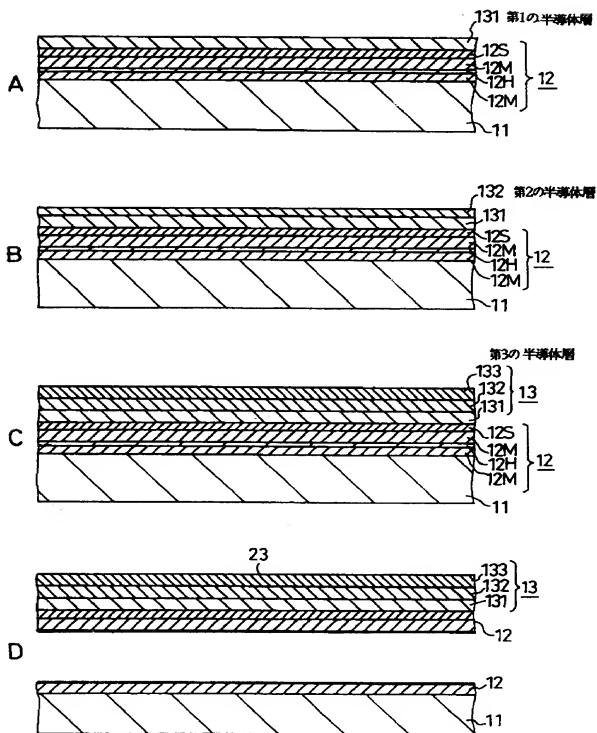
【図9】



工程図(その1)

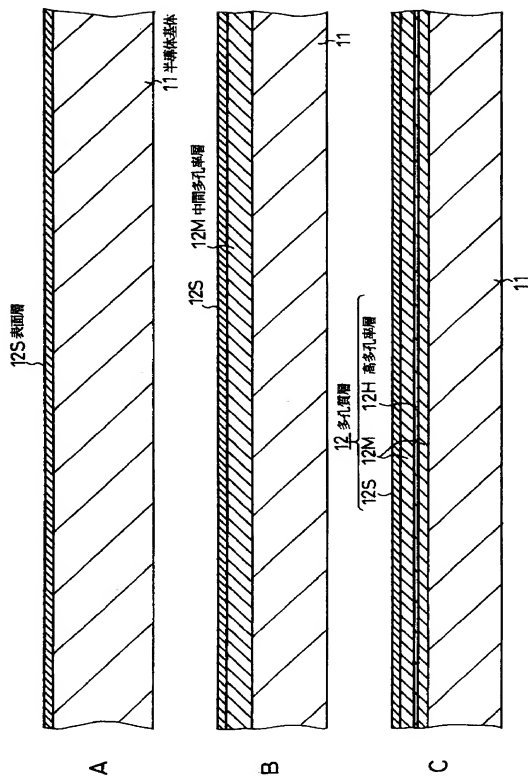


【図10】



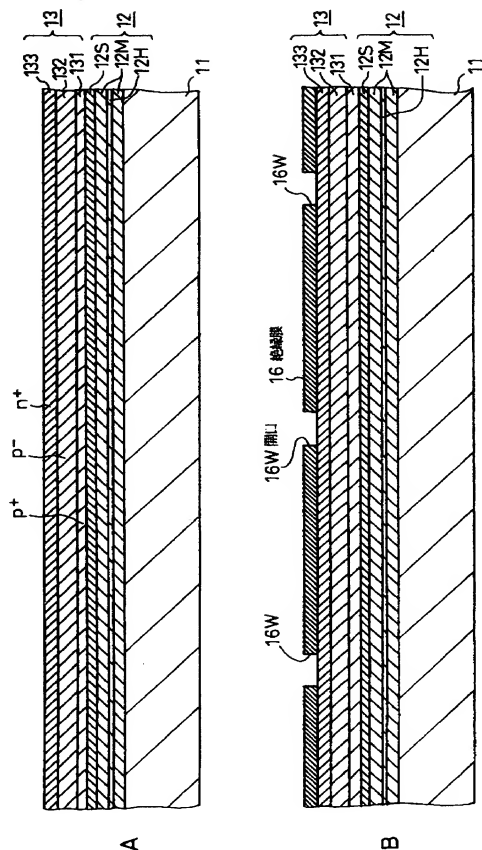
工程図(その2)

【図 11】



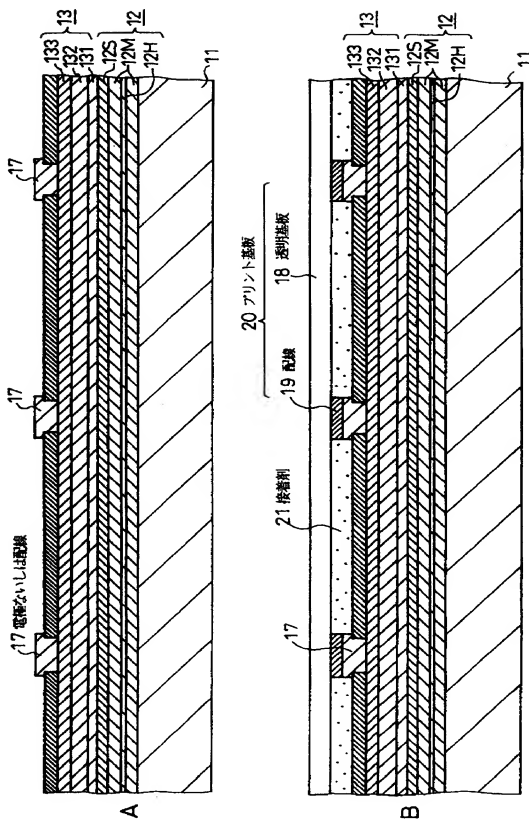
上程図(その1)

【図12】



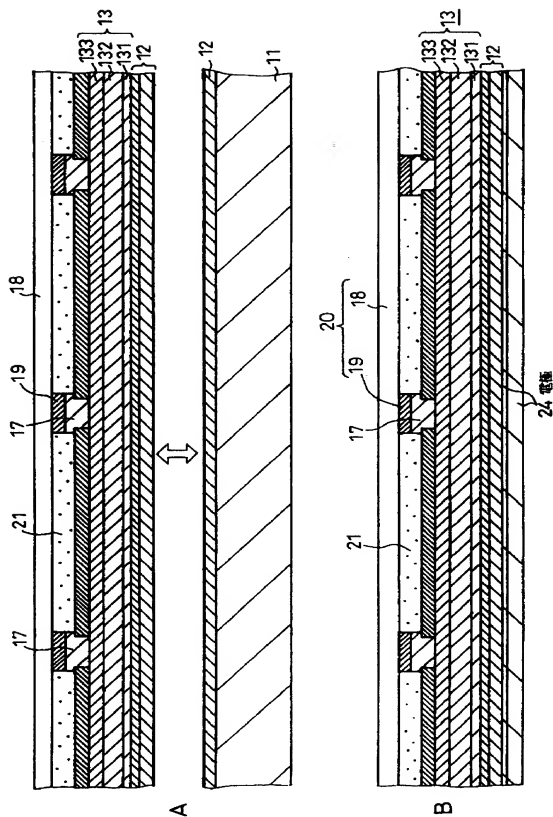
工程図(その2)

【図13】



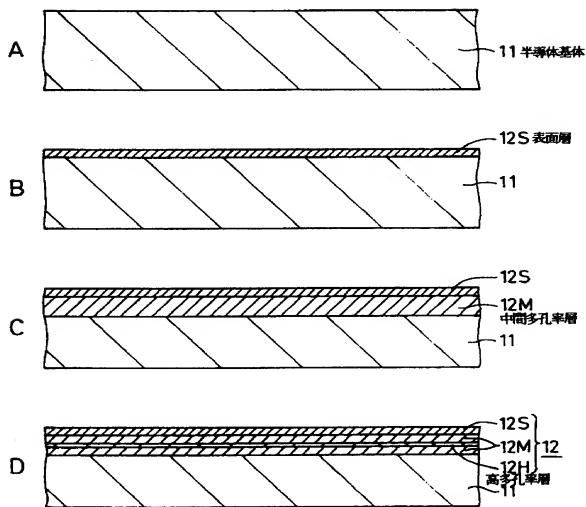
工程図(その3)

【図14】



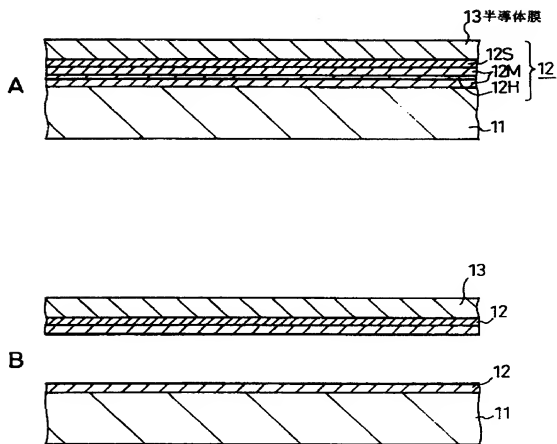
工程図(その4)

【図15】



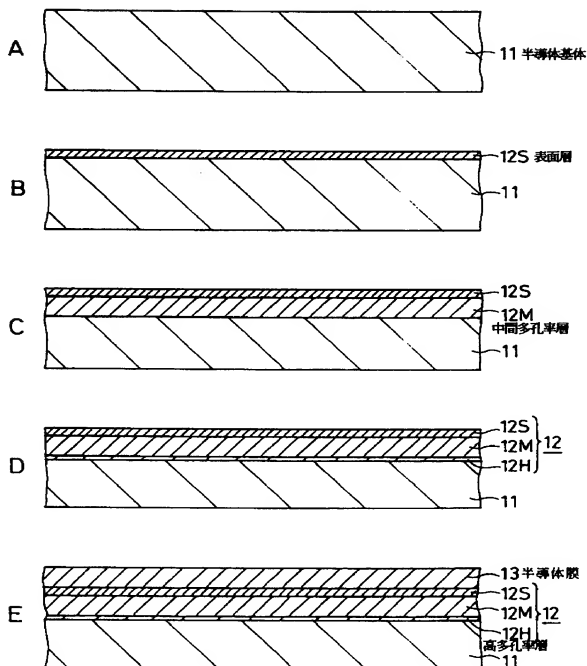
工程図(その1)

【図16】



工程図(その2)

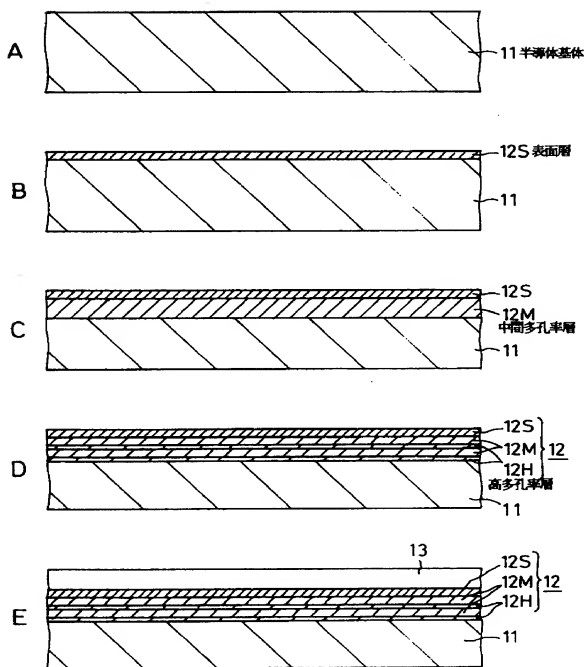
【图 17】



工程图

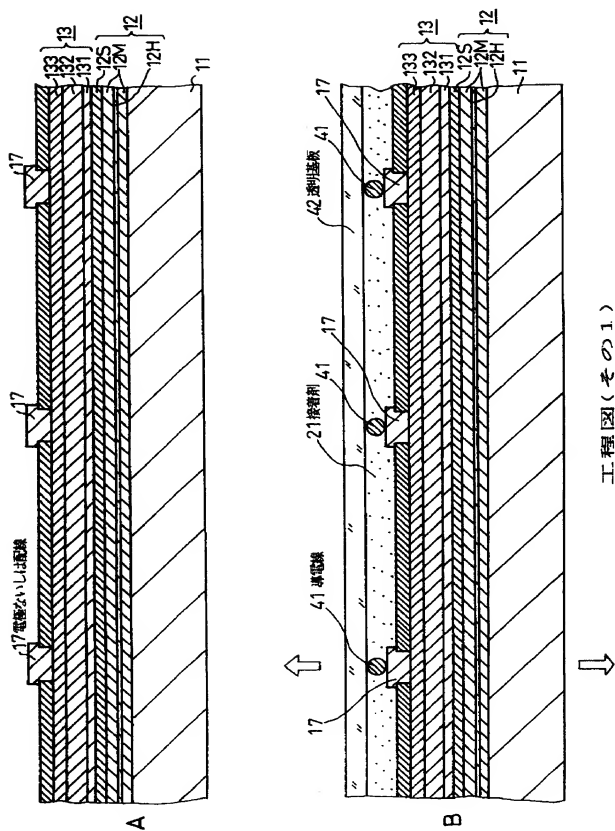


【图18】



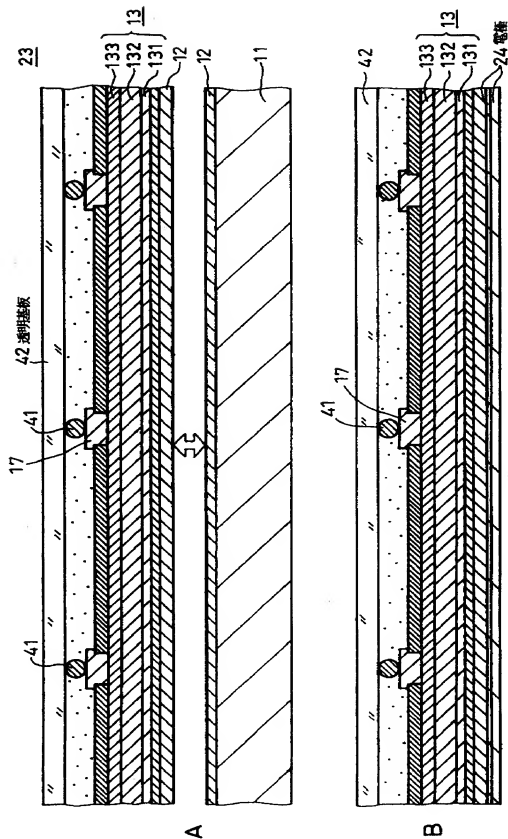
工程图

【図19】



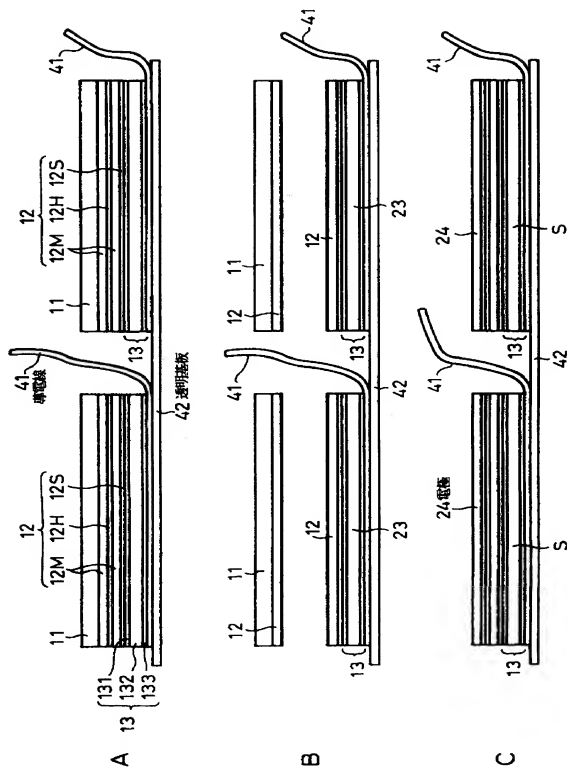
工程図(その1)

【図20】

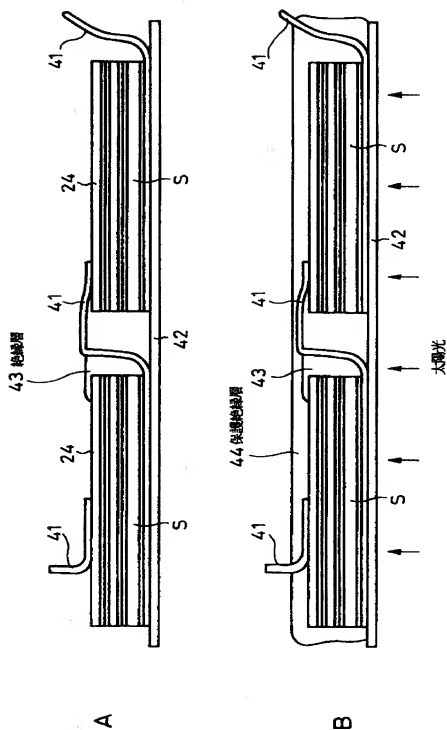


工程図(その2)

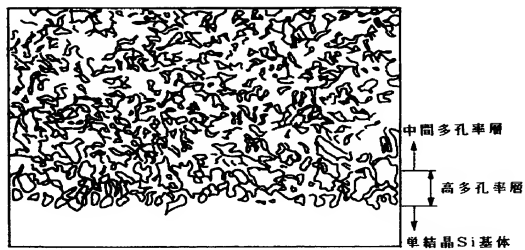
【図21】



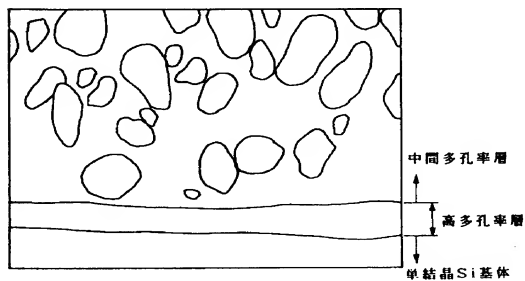
【図22】



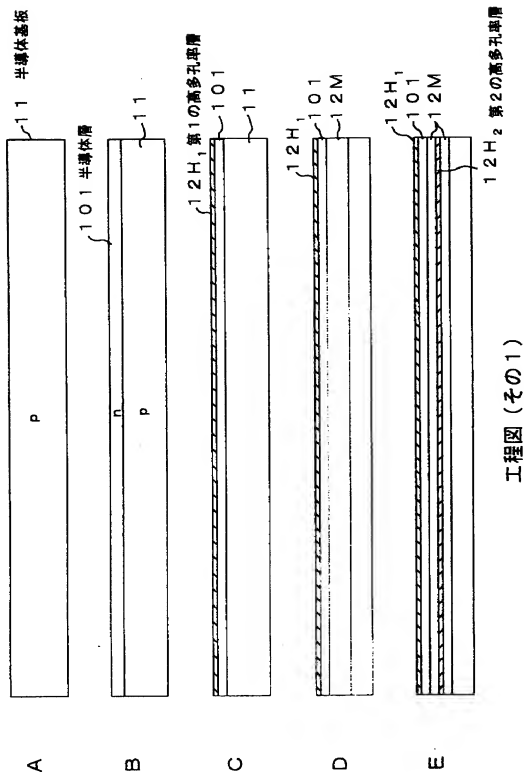
【图23】



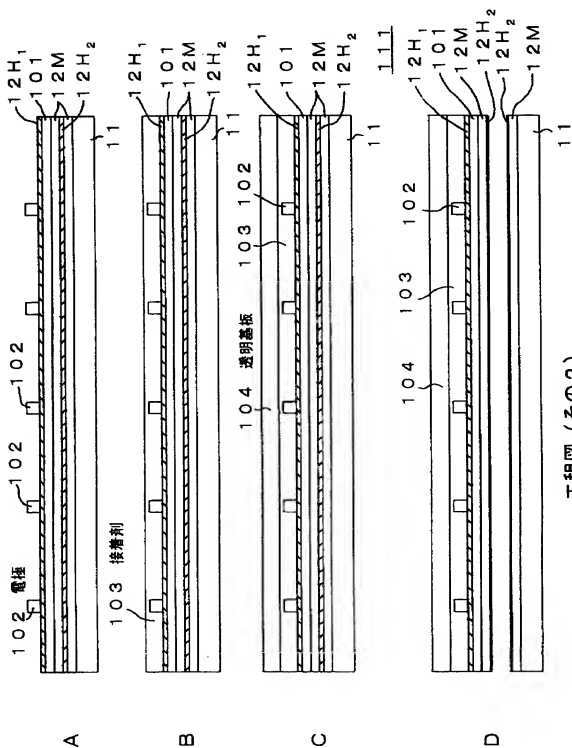
【图24】



【図25】



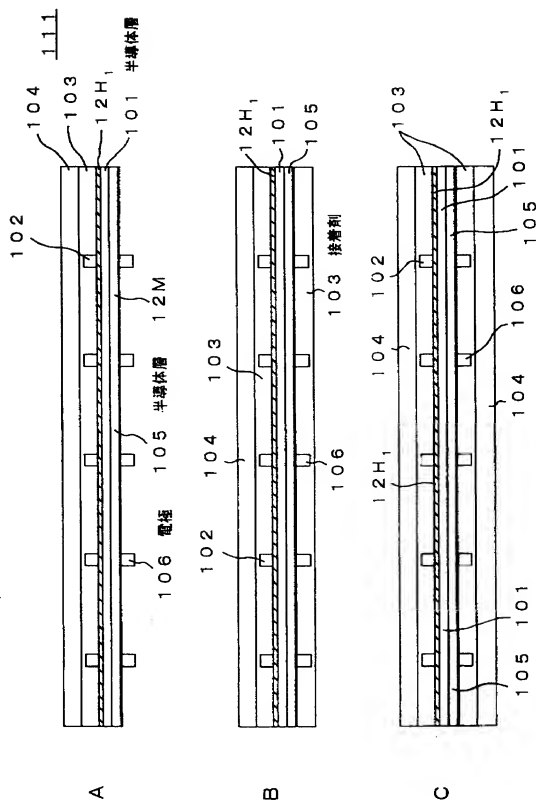
【図26】



工程図 (その2)

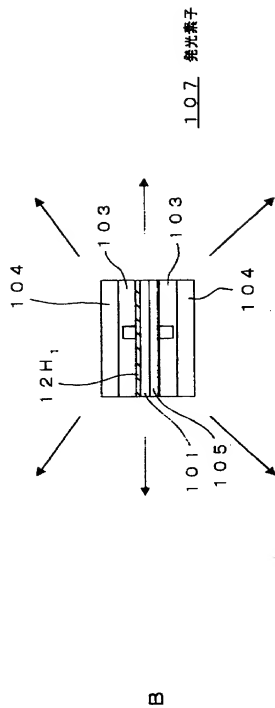
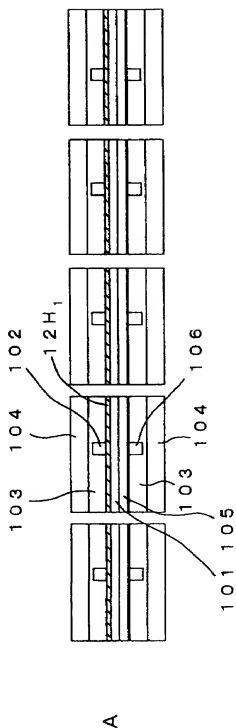


【図27】



工程図(その3)

【図28】



工程図 (その4)